

PATENT
81790.0294

Express Mail Label No. EV 325 217 196 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Kazushige KANDA et al.

Serial No: Not assigned

Filed: August 26, 2003

For: Non-Volatile Semiconductor Storage Device
Performing ROM Read Operation Upon Power-On

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-316350 which was filed October 30, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: August 26, 2003

By: 

Lawrence J. McClure
Registration No. 44,228
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月30日

出 願 番 号

Application Number:

特願2002-316350

[ST.10/C]:

[JP 2002-316350]

出 願 人

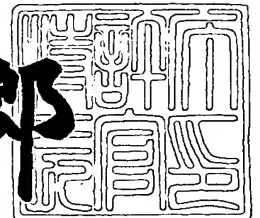
Applicant(s):

株式会社東芝

2003年 1月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3106324

【書類名】 特許願

【整理番号】 A000205029

【提出日】 平成14年10月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/76

【発明の名称】 不揮発性半導体記憶装置

【請求項の数】 19

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 神田 和重

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 中村 寛

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項1】 ヒューズデータを記憶するROM領域と、
電源電圧を立ち上げる際に電源電圧が所定のレベルに達した後に上記ROM領域からヒューズデータの読み出し制御を行い、所定のパッドに供給される信号に応じて上記ヒューズデータの読み出し動作の起動タイミングが制御される読み出し制御回路と

を具備したことを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記読み出し制御回路は、
電源電圧を立ち上げる際に電源電圧が所定のレベルに達したことを検知してパワーオンリセット信号を出力するパワーオンレベル検知回路と、

前記所定のパッドに供給される前記信号に応じて遅延時間が制御され、前記パワーオンリセット信号を遅延する遅延回路と

を含んで構成されていることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記所定のパッドに供給される前記信号はチップアドレス信号であることを特徴とする請求項1または2記載の不揮発性半導体記憶装置。

【請求項4】 前記遅延回路は、
前記パワーオンリセット信号に応じて動作が制御され、クロック信号を出力するクロック信号生成回路と、

前記クロック信号をカウントするカウンタ回路と、
前記カウンタ回路のカウント出力が供給され、前記カウンタ回路が前記クロック信号を所定数カウントした後に出力が変化し、この所定数が前記信号に応じて制御されるデコーダ回路と

を含んで構成されていることを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項5】 前記遅延回路は、
少なくとも抵抗及びキャパシタを有し、これら抵抗及びキャパシタのいずれか

一方もしくは両方の値が前記信号に応じて変化されることで遅延時間が制御されることを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 6】 前記読み出し制御回路は、

電源電圧の検知レベルが前記所定のパッドに供給される前記信号に応じて制御され、電源電圧を立ち上げる際に電源電圧を検知してパワーオンリセット信号を出力するパワーオンレベル検知回路と、

前記パワーオンリセット信号を遅延する遅延回路と

を含んで構成されていることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 7】 前記所定のパッドに供給される前記信号はチップアドレス信号であることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】 第 1 のヒューズデータを記憶し、電源電圧を立ち上げる際に電源電圧が第 1 のレベルに達した際にこの第 1 のヒューズデータを読み出すヒューズ回路と、

第 2 のヒューズデータを記憶する ROM 領域と、

電源電圧を立ち上げる際に電源電圧が第 2 のレベルに達した後に上記 ROM 領域から第 2 のヒューズデータの読み出し制御を行い、上記第 1 のヒューズデータに応じて上記第 2 のヒューズデータの読み出し動作の起動タイミングが制御される読み出し制御回路と

を具備したことを特徴とする不揮発性半導体記憶装置。

【請求項 9】 前記第 1 のレベルが前記第 2 のレベルよりも低いことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 10】 前記読み出し制御回路は、

電源電圧を立ち上げる際に電源電圧が前記第 2 のレベルに達したことを検知してパワーオンリセット信号を出力するパワーオンレベル検知回路と、

前記第 1 のヒューズデータに応じて遅延時間が制御され、前記パワーオンリセット信号を遅延する遅延回路と

を含んで構成されていることを特徴とする請求項 8 または 9 記載の不揮発性半導体記憶装置。

【請求項 1 1】 前記ヒューズ回路に記憶される前記第 1 のヒューズデータはチップアドレスデータに対応することを特徴とする請求項 8 ないし 1 0 のいずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 1 2】 前記遅延回路は、
前記パワーオンリセット信号に応じて動作が制御され、クロック信号を出力するクロック信号生成回路と、

前記クロック信号をカウントするカウンタ回路と、

前記カウンタ回路のカウント出力が供給され、前記カウンタ回路が前記クロック信号を所定数カウントした後に出力が変化し、この所定数が前記第 1 のヒューズデータに応じて制御されるデコーダ回路と

を含んで構成されていることを特徴とする請求項 1 0 記載の不揮発性半導体記憶装置。

【請求項 1 3】 前記遅延回路は、
少なくとも抵抗及びキャパシタを有し、これら抵抗及びキャパシタのいずれか一方もしくは両方の値が前記信号に応じて変化されることで遅延時間が制御されることを特徴とする請求項 1 0 記載の不揮発性半導体記憶装置。

【請求項 1 4】 前記ヒューズ回路にはレーザヒューズ素子が設けられることを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 1 5】 前記ヒューズ回路には電氣的ヒューズ素子が設けられることを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 1 6】 ヒューズデータを記憶する ROM 領域と、
第 1 のパッドに供給される第 1 の信号に基づいてパルス信号を生成するパルス生成回路と、

上記パルス信号を遅延し、第 2 のパッドに供給される第 2 の信号に基づいて遅延時間が制御される遅延回路と、

上記遅延回路の出力に応じて上記 ROM 領域からヒューズデータの読み出し制御を行う ROM リード制御回路と

を具備したことを特徴とする不揮発性半導体記憶装置。

【請求項 1 7】 前記第 2 のパッドは少なくとも 2 個のパッドからなること

を特徴とする請求項 1 6 記載の不揮発性半導体記憶装置。

【請求項 1 8】 前記遅延回路は、

前記パルス信号に応じて動作が制御され、クロック信号を出力するクロック信号生成回路と、

前記クロック信号をカウントするカウンタ回路と、

前記カウンタ回路のカウント出力が供給され、前記カウンタ回路が前記クロック信号を所定数カウントした後に出力が変化し、この所定数が前記第 2 の信号に応じて制御されるデコーダ回路と

を含んで構成されていることを特徴とする請求項 1 6 記載の不揮発性半導体記憶装置。

【請求項 1 9】 前記遅延回路は、

少なくとも抵抗及びキャパシタを有し、これら抵抗及びキャパシタのいずれか一方もしくは両方の値が前記第 2 の信号に応じて変化されることで遅延時間が制御されることを特徴とする請求項 1 6 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、例えば冗長用のアドレスや、チップ内部で生成される各種電圧のレベル調整を行うために使用されるデータがヒューズデータとしてメモリセルに記憶され、パワーオン時に、これらのヒューズデータをメモリセルから読み出すようにした不揮発性半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

通常、半導体メモリでは、予め、冗長用のアドレスや、チップ内部で生成される各種電圧のレベル調整を行うための初期データがヒューズデータとして記憶される。ヒューズデータを記憶するヒューズとしては、例えば、レーザー光の照射によって溶断できるレーザヒューズや、トランジスタ素子やキャパシタ素子を電氣的に破壊することで電流の導通状態を制御する電気ヒューズ及びメモリセルの一部をヒューズ領域として使用する ROM ヒューズ等があり、不揮発性メモリの

場合にはROMヒューズが用いられる。

【0003】

ROMヒューズが設けられた不揮発性メモリでは、パワーオン時にパワーオンリセット信号が生成され、このパワーオンリセット信号に応じてチップ内部の全ての回路のリセット動作が行われると共に、ROMヒューズに記憶されたヒューズデータが読み出され、ラッチ回路でヒューズデータが保持される。

【0004】

図25は、パワーオン時に、ROMヒューズからヒューズデータが読み出され、ラッチ回路でヒューズデータがセットされるROMリード（ROM READ）動作を伴った不揮発性メモリにおける電源電圧VCCと消費電流ICCの変化を示している。なお、ここでは不揮発性メモリとして特にNANDフラッシュメモリの場合を例に説明する。

【0005】

電源電圧VCCが立ち上がり、パワーオン検知レベルに達すると、パワーオン検知回路からパワーオンリセット信号が出力される。このパワーオンリセット信号がROMリード制御回路に供給され、さらにROMリード制御回路からROMリード起動信号が出力されることで、ROMリード動作が開始される。ROMリード動作は通常のリード動作と全く同じ動作であり、アクセス領域がROMヒューズ領域である点と、読み出されたROMヒューズデータを周辺ロジック回路のラッチにセットする動作がある点が異なるだけである。

【0006】

ROMリード動作中の消費電流の値は、リード動作の初期の段階ではビット線をプリチャージするために大きなピークを持ち、その後のデータセット時（ラッチ時）では平均した低い値となる。すなわち、リード動作時には読み出し動作に必要な昇圧回路等を含む各種電圧生成回路が動作するために、平均数mA程度の大きな電流が流れる。読み出しが終了すると、センスアンプでセンスされたデータを周辺回路に転送してラッチさせる動作が行われる。このときは昇圧回路の動作が必要でないため、消費電流の値は低くなる。

【0007】

ところで、最近の不揮発性メモリは、素子の微細化と共に安価な大容量メモリとして広く用いられるようになり、複数個の、例えば4個や8個のメモリチップを同一パッケージ内に収めて使用するケースが多くなった。

【0008】

このように複数個のメモリチップが設けられた不揮発性メモリでは、電源電圧が立ち上がると、個々のメモリチップ内でパワーオンリセット動作が並行して行われ、ヒューズデータを取り込むためのROMリード動作が全メモリチップで並行して行われる。この後、ユーザーにより、例えばリードコマンドが入力されて、ある特定のメモリチップのメモリ領域がアドレス指定されると、通常のリード動作が行われる。

【0009】

パワーオンリセット動作後にコマンドが入力されることで起動される通常の動作については、複数個のチップが同時に動作することがないので何の問題も生じない。しかし、ROMリード動作の場合、外部からアドレスが入力されるわけでもなく、電源が投入されることで自動的に起動されるので、個々のメモリチップでは並行してROMリード動作が開始される。このため、個々のメモリチップ内のパワーオン検知回路においてパワーオン検知のタイミングのばらつきが実質上存在しない場合、ROMリード動作が全てのメモリチップで一斉に開始されるので、ROMリード動作時における消費電流は、メモリチップが1個の場合と比べて単純に4倍、8倍と増加する。

【0010】

すなわち、従来では、複数個のメモリチップを使用して不揮発性メモリを構成すると、パワーオン直後における消費電流が大きなものとなる。従って、システムの電源供給能力が十分ではない場合には、電源電圧の値が低下してしまう可能性がある。

【0011】

なお、パワーオン時にパワーオンリセット信号を生成し、このパワーオンリセット信号に応じてヒューズデータを読み出してラッチ回路にラッチするようにした不揮発性半導体メモリについては、本出願人による先願（特願2001-38

6 0 5 3) の願書に添付された明細書及び図面に開示されている。

【 0 0 1 2 】

【発明が解決しようとする課題】

この発明は上記のような事情を考慮してなされたものであり、その目的は、複数個のメモリチップを使用した場合に、パワーオン直後のROMリード動作時における消費電流を低減することができる不揮発性半導体記憶装置を提供することである。

【 0 0 1 3 】

【課題を解決するための手段】

この発明の不揮発性半導体記憶装置は、ヒューズデータを記憶するROM領域と、電源電圧を立ち上げる際に電源電圧が所定のレベルに達した後に上記ROM領域からヒューズデータの読み出し制御を行い、所定のパッドに供給される信号に応じて上記ヒューズデータの読み出し動作の起動タイミングが制御される読み出し制御回路とを具備したことを特徴とする。

【 0 0 1 4 】

この発明の不揮発性半導体記憶装置は、第1のヒューズデータを記憶し、電源電圧を立ち上げる際に電源電圧が第1のレベルに達した際にこの第1のヒューズデータを読み出すヒューズ回路と、第2のヒューズデータを記憶するROM領域と、電源電圧を立ち上げる際に電源電圧が第2のレベルに達した後に上記ROM領域から第2のヒューズデータの読み出し制御を行い、上記第1のヒューズデータに応じて上記第2のヒューズデータの読み出し動作の起動タイミングが制御される読み出し制御回路とを具備したことを特徴とする。

【 0 0 1 5 】

この発明の不揮発性半導体記憶装置は、ヒューズデータを記憶するROM領域と、第1のパッドに供給される第1の信号に基づいてパルス信号を生成するパルス生成回路と、上記パルス信号を遅延し、第2のパッドに供給される第2の信号に基づいて遅延時間が制御される遅延回路と、上記遅延回路の出力に応じて上記ROM領域からヒューズデータの読み出し制御を行うROMリード制御回路とを具備したことを特徴とする。

【 0 0 1 6 】

【発明の実施の形態】

以下、図面を参照してこの発明を実施の形態により詳細に説明する。

【 0 0 1 7 】

(第 1 の実施の形態)

図 1 は、第 1 の実施の形態に係る不揮発性メモリチップ内部の全体の構成を示すブロック図である。この不揮発性メモリチップは例えば NAND フラッシュメモリチップである。

【 0 0 1 8 】

チップ内には、メモリセルアレイ 1 1、アドレスバッファ 1 2、カラムデコーダ 1 3、ロウデコーダ 1 4、センスアンプ 1 5、ラッチ回路 1 6、入出力バッファ 1 7、パワーオンリセット回路 1 8、制御回路 1 9 及び電圧生成回路 2 0 等が設けられている。

【 0 0 1 9 】

メモリセルアレイ 1 1 は、データを格納する通常のメモリセル領域 1 1 a の他に、メモリセルアレイ 1 1 に存在する不良セルを他の冗長用セルに置き換えるための置換データや、タイマ調整や各種電圧調整のためのトリミングデータ等、電源投入後に読み出す必要のある各種データ（ヒューズデータ）を格納する ROM 領域 1 1 b を有している。

【 0 0 2 0 】

アドレスバッファ 1 2 に入力されたアドレスのうちカラムアドレスがカラムデコーダ 1 3 に入力されてデコードされ、ロウアドレスがロウデコーダ 1 4 に入力されてデコードされ、指定されたアドレスに基づいてメモリセル領域 1 1 a におけるメモリセルへのデータ書き込みまたはメモリセルからのデータ読み出しが行われる。データが読み出される時は、センスアンプ 1 5、カラムデコーダ 1 3 及び入出力バッファ 1 7 を介して読み出しデータが出力される。データが書き込まれる時は、読み出し時とは逆の経路で、書き込みデータがメモリセルアレイ 1 1 に供給される。また、ROM 領域 1 1 b に格納されているヒューズデータは、センスアンプ 1 5 及びカラムデコーダ 1 3 を介してラッチ回路 1 6 に送られ、保持

される。

【 0 0 2 1 】

電圧生成回路 2 0 は、外部から供給された電源電圧 VCC を用いて、参照用の基準電圧 V_{ref} やプログラム電圧 V_{pg} 等の各種内部電圧を生成する。

【 0 0 2 2 】

パワーオンリセット回路 1 8 は、電源が投入されて電源電圧が所定の電圧レベルに達するまでの間は“L”レベルとなり、所定の電圧レベルに達した後は“H”レベルとなるパワーオンリセット信号を発生し、制御回路 1 9 に出力する。

【 0 0 2 3 】

制御回路 1 9 は、このパワーオンリセット信号に基づいて、アドレスバッファ 1 2、カラムデコーダ 1 3、ロウデコーダ 1 4、センスアンプ 1 5、ラッチ回路 1 6 及び電圧生成回路 2 0 それぞれを初期化するための制御信号を出力する。

【 0 0 2 4 】

また、制御回路 1 9 は、上記各回路の初期化と共に、ROM 領域 1 1 b に格納されているヒューズデータを読み出してラッチ回路 1 6 にセットするための制御に使用される制御信号を出力する。なお、ROM 領域 1 1 b に格納されているヒューズデータを読み出してラッチ回路 1 6 にセットする動作は ROM リード動作と呼ばれる。

【 0 0 2 5 】

ここで、図 1 に示すようなメモリチップを例えば 4 個使用し、これら 4 個のメモリチップを同一パッケージ内に収納して大容量の不揮発性メモリを構成する場合には、図 2 に示すように、電源パッド (VCC)、 $/CE$ (チップイネーブル信号)、 $/WE$ (ライトイネーブル信号)、 $/RE$ (リードイネーブル信号) などの制御信号やコマンド入力用の各種パッド、 I/O などの入出力パッドが、4 個のメモリチップで共通の配線によって相互に結線される。

【 0 0 2 6 】

また、上記各パッドの他に、4 個の各メモリチップにはそれぞれ、後述するように、チップアドレス指定用の 2 ビットのアドレス $CADD0$ 、 $CADD1$ を入力するための 2 個のパッド $P0$ 、 $P1$ が設けられる。そして、各 2 個のチップア

ドレス指定用のパッドに対し、ボンディングワイヤによりそれぞれのチップアドレスに対応した電圧を接続することで、各々のメモリチップがどのチップアドレスに対応しているかを認識する。

【0027】

外部から個々のメモリチップにアクセスするには、1個のメモリチップのみが設けられている場合と同様に、コマンドやアドレス、データの入出力が行われる。アドレスは、1個のメモリチップのみが設けられている場合の4倍のアドレス空間で入力される。複数のメモリチップは同時にこのアドレスを受け取り、受け取ったアドレスがどのメモリチップに該当しているが個々のメモリチップで判断され、該当チップのみが動作する。

【0028】

いま、例えば読み出しを行うことを考える。読み出しを行うために外部から読み出しコマンドが入力され、続いてアドレスが入力される。仮に各メモリチップ内にはそれぞれ1K本（1K=1024）のワード線が設けられているとすると、1024は2の10乗であるため、10ビットのロウアドレスを入力することになる。しかし、4個のメモリチップが設けられる場合を想定しているので、アドレス空間はその4倍で、ロウアドレスは4K通りになるから、アドレスは10ビット+2ビットの12ビットで表される。このとき追加された2ビットはまさにチップアドレスを示している。従って、入力された2ビットのロウアドレスを、ボンディングによって決定された2ビットのチップアドレスCADD0、CADD1と比較し、一致したメモリチップのみが動作するようにすれば、複数個のメモリチップが実装されているにもかかわらず、あたかもパッケージの外から見たら4倍のメモリ容量のメモリチップ1個が動作しているかのように実現できる。

【0029】

なお、このチップアドレス指定用のパッドは2個に限られるものではなく、例えば、同一パッケージ内に8個のメモリチップを収納する場合にはチップアドレス指定用のパッドは3個設けられ、16個のメモリチップを収納する場合にはチップアドレス指定用のパッドは4個設けられる。

【0030】

図 3 は、図 2 に示すように同一パッケージ内に 4 個のメモリチップが収納する場合の、図 1 に示されるメモリチップ中のパワーオンリセット回路 1 8 と制御回路 1 9 の内部構成を示すブロック図である。

【 0 0 3 1 】

パワーオンリセット回路 1 8 は、電源電圧を検知してパワーオンリセット信号を出力するパワーオンレベル検知回路 1 8 a と、パワーオンレベル検知回路 1 8 a から出力されるパワーオンリセット信号を遅延する遅延回路 1 8 b とから構成されている。

【 0 0 3 2 】

遅延回路 1 8 b にはチップアドレス指定用の 2 個のパッド P 0、P 1 が接続されており、遅延回路 1 8 b における遅延時間はこの 2 個のパッドに供給されるチップアドレス CADD 0、CADD 1 に応じて制御される。

【 0 0 3 3 】

パワーオンリセット信号を遅延する理由は、チップ内に設けられている定電流回路や基準電圧回路の動作が安定するために要する時間を確保するためであり、特に電源が高速で立ち上がるような場合に必要となる。

【 0 0 3 4 】

制御回路 1 9 は、図 1 中のアドレスバッファ 1 2、カラムデコーダ 1 3、ロウデコーダ 1 4、センスアンプ 1 5、ラッチ回路 1 6 及び電圧生成回路 2 0 それぞれを初期化するための制御信号を出力する初期化制御回路 1 9 a と、ROM リード動作を制御するための制御信号を出力する ROM リード制御回路 1 9 b とから構成されている。

【 0 0 3 5 】

図 4 は、図 2 に示した 4 個のメモリチップのチップアドレス指定用の 2 個のパッド P 0、P 1 に供給されるチップアドレス CADD 0、CADD 1 と、遅延回路 1 8 b における遅延時間の一例をまとめて示したものである。これによれば、チップアドレス (CADD 0、CADD 1) は、メモリチップ 1 では (“L”、“L”) にされ、遅延時間は $t_1 \mu s$ にされ、メモリチップ 2 では (“L”、“H”) にされ、遅延時間は $t_2 \mu s$ にされ、メモリチップ 3 では (“H”、“L

”) にされ、遅延時間は $t_3 \mu s$ にされ、さらに、メモリチップ 4 では (“H” 、 “H”) にされ、遅延時間は $t_4 \mu s$ にされている。ただし、 $t_1 \sim t_4$ の間には、 $t_1 < t_2 < t_3 < t_4$ の関係が成立している。

【 0 0 3 6 】

次に、上記構成でなる不揮発性メモリの動作を図 5 のタイミングチャートを参照して説明する。

【 0 0 3 7 】

電源電圧 V_{CC} が立ち上がり、その値がパワーオン検知レベルに達すると、各メモリチップ内のパワーオンレベル検知回路 18 a からパワーオンリセット信号が出力される。なお、図 5 では、パワーオンリセット信号が “L” レベルとなっているパワーオンリセット期間が「パワーオン」として示されている。また、図 5 では、このパワーオンリセット期間は、4 個のメモリチップ相互間で差がない状態で示されている。この後、パワーオンリセット信号が遅延回路 18 b で所定時間、遅延される。図 5 ではこの遅延期間は「Delay」で示されている。ここで、遅延回路 18 b における遅延時間はチップアドレス $CADD_0$ 、 $CADD_1$ のパッドに供給されている 2 ビットの信号により制御され、パワーオンリセット信号のタイミングが各チップでシフトする。そして、上記遅延期間が終了すると、ROM リード制御回路 19 b から ROM リード動作を制御するための制御信号が出力されて ROM リード動作が起動される。

【 0 0 3 8 】

ここで、遅延回路 18 b の遅延時間は、メモリチップ 1 では $t_1 \mu s$ 、メモリチップ 2 では $t_2 \mu s$ 、メモリチップ 3 では $t_3 \mu s$ 、メモリチップ 4 では $t_4 \mu s$ というように順次シフトしているので、4 個のメモリチップにおける ROM リード動作の起動タイミングも順次シフトする。このため、個々のメモリチップで、ROM リード時の消費電流の値がピークを示すタイミングがずれ、複数個の不揮発性メモリチップを使用する場合でもパワーオン直後における消費電流の増大を防ぐことができる。これにより、パワーオン直後における電源電圧の値が低下する可能性を排除することができ、システムの電源供給能力の圧迫を避けることができる。

【 0 0 3 9 】

図 6 は、図 3 中の遅延回路 1 8 b の詳細回路の一例を示している。遅延回路 1 8 b は、図 6 (a) に示すクロック信号生成回路 3 1 と、図 6 (b) に示すカウンタ回路 3 2 及びデコーダ回路 3 3 とから構成されている。

【 0 0 4 0 】

クロック信号生成回路 3 1 は、図 3 中のパワーオンレベル検知回路 1 8 a から出力されるパワーオンリセット信号 P O R とデコーダ回路 3 3 からの出力信号 O U T とを受け、パワーオンリセット信号 P O R が “ H ” レベルになった後に動作して一定周期のクロック信号 C L K を生成し、信号 O U T が “ H ” レベルになった後に動作を停止するものである。

【 0 0 4 1 】

クロック信号生成回路 3 1 は、具体的には以下のように構成されている。

【 0 0 4 2 】

パワーオンリセット信号 P O R 及びデコーダ回路 3 3 からの出力信号 O U T は N A N D ゲート 4 1 に供給される。 N A N D ゲート 4 1 の出力信号はインバータ回路 4 2 で反転される。遅延回路 4 3、4 4 はそれぞれ遅延時間 D L 0、D L 1 を有し、両遅延回路 4 3、4 4 の出力信号はインバータ回路 4 5、4 6 でそれぞれ反転される。インバータ回路 4 2、4 6 の出力信号は N A N D ゲート 4 7 に供給され、 N A N D ゲート 4 7 の出力信号はインバータ回路 4 8 を介して S R 型のフリップフロップ回路 (S R - F / F) 4 9 のリセット入力端 R n に供給される。フリップフロップ回路 4 9 のセット入力端 S n にはインバータ回路 4 5 の出力信号が供給される。フリップフロップ回路 4 9 の Q 出力端の信号はインバータ回路 4 2 の出力信号 T M R S T n と共に N A N D ゲート 5 0 に供給され、 Q n 出力端の信号は信号 T M R S T n と共に N A N D ゲート 5 1 に供給される。 N A N D ゲート 5 0 の出力信号はインバータ回路 5 2 を介して遅延回路 4 4 及びインバータ回路 5 3 に供給される。 N A N D ゲート 5 1 の出力信号はインバータ回路 5 4 を介して遅延回路 4 3 に供給される。そして、クロック信号 C L K はインバータ回路 5 3 から出力される。

【 0 0 4 3 】

このような構成のクロック信号生成回路 3 1 は以下のように動作する。パワーオンリセット信号 P O R が “H” レベルになる前は、デコーダ回路 3 3 の出力信号 O U T は “H” レベルになっているとする。そして、信号 P O R が “H” レベルになると、N A N D ゲート 4 1 の出力信号が “L” レベル、信号 T M R S T n が “H” レベルになり、N A N D ゲート 4 7、5 0、5 1 が開く。

【 0 0 4 4 】

また、パワーオンリセット信号 P O R が “H” レベルになる前は、遅延回路 4 4 の出力信号は “L” レベル、インバータ回路 4 6 の出力信号 “H” レベルになっている。従って、インバータ回路 4 8 の出力信号は “L” レベルになり、フリップフロップ回路 4 9 がリセットされる。

【 0 0 4 5 】

リセットにより、Q 出力端の信号は “L” レベル、Q n 出力端の信号は “H” レベルとなる。この状態で信号 P O R が “H” レベルになり、信号 T M R S T n が “H” レベルとなって N A N D ゲート 5 1 が開くことで、N A N D ゲート 5 1 及びインバータ回路 5 4 を介して “H” レベルの信号が遅延回路 4 3 に入力される。そして、遅延回路 4 3 における遅延時間 D L 0 が経過した後、フリップフロップ回路 4 9 がセットされ、Q 出力端の信号が “H” レベルに、Q n 出力端の信号が “L” レベルにそれぞれ反転する。この後、N A N D ゲート 5 0 及びインバータ回路 5 2 を介して “H” レベルの信号が遅延回路 4 4 に入力される。そして、遅延回路 4 4 における遅延時間 D L 1 が経過した後、フリップフロップ回路 4 9 がリセットされ、Q 出力端の信号は “L” レベルに、Q n 出力端の信号は “H” レベルにそれぞれ反転する。以下、信号 O U T が “L” レベルになるまで同様な動作が繰り返し行われることで、インバータ回路 5 3 からは (D L 0 + D L 1) を 1 周期とするクロック信号 C L K が出力される。

【 0 0 4 6 】

信号 O U T が “L” レベルになると、N A N D ゲート 4 1 の出力信号が “H” レベル、信号 T M R S T n が “L” レベルになり、N A N D ゲート 4 7、5 0、5 1 が閉じて、クロック信号 C L K は出力されなくなる。

【 0 0 4 7 】

カウンタ回路 3 2 は、パワーオンリセット信号 P O R が “H” レベルになった後に動作してクロック信号 C L K を分周カウントし、2 進数からなる複数ビット（i ビット）のカウント信号 T M i を出力するものである。

【 0 0 4 8 】

デコーダ回路 3 3 は、カウンタ回路 3 2 から出力されるカウント信号 T M i と 2 ビットのチップアドレス C A D D 0、C A D D 1 とを比較し、始めは “H” レベルとなっている出力信号 O U T を、両値が所定の関係を満たした後に “L” レベルに反転させるものである。

【 0 0 4 9 】

デコーダ回路 3 3 の具体的な回路例を図 7 に示す。このデコーダ回路 3 3 は、カウンタ回路 3 2 がクロック信号 C L K を 1 2 個から 1 5 個の範囲内の任意の数だけカウントした後に、出力信号 O U T が “L” レベルに反転する場合の例である。

【 0 0 5 0 】

カウンタ回路 3 2 のカウント信号 T M i （本例では T M 0 ～ T M 3 の 4 ビット）のうち最下位ビットのカウント信号 T M 0 は下位ビットのチップアドレス C A D D 0 と共に排他的論理和ゲート 6 1 に供給される。同様に、信号 T M 0 よりも 1 ビット上位のカウント信号 T M 1 は上位ビットのチップアドレス C A D D 1 と共に排他的論理和ゲート 6 2 に供給される。上記両排他的論理和ゲート 6 1、6 2 の出力信号はインバータ回路 6 3、6 4 のそれぞれを介して N A N D ゲート 6 5 に供給され、さらに N A N D ゲート 6 5 の出力信号はインバータ回路 6 6 を介して N A N D ゲート 6 7 の一方入力端に供給される。N A N D ゲート 6 7 の他方入力端には電源電圧 V C C が供給されている。信号 T M 1 よりも上位ビットのカウント信号 T M 2、T M 3 は共に N A N D ゲート 6 8 に供給される。そして、上記両 N A N D ゲート 6 7、6 8 の出力信号は共に N O R ゲート 6 9 に供給される。そして、出力信号 O U T は、N O R ゲート 6 9 の出力信号を反転するインバータ回路 7 0 から出力される。

【 0 0 5 1 】

このような構成のデコーダ回路 3 3 において、チップアドレス C A D D 0、C

ADD 1 が例えば共に “L” レベルに設定されていれば、カウント信号 (TM0、TM1、TM2、TM3) が (“L”、“L”、“H”、“H”) のとき、つまり、カウンタ回路 32 でクロック信号 CLK を 12 個カウントした後に出力信号 OUT が “L” レベルに反転する。また、チップアドレス CADD0、CADD1 の組み合わせが上記の状態から 10 進数で 1 ずつ増加すると、それに伴ってカウンタ回路 32 でクロック信号 CLK をカウントした後に出力信号 OUT が “L” レベルに反転する際のクロック信号 CLK の個数が 1 個ずつ増加するようになる。

【0052】

ここで、クロック信号 CLK の基本周期を $2\mu s$ とし、デコーダ回路 33 の出力信号 OUT が “L” レベルに反転する際のカウンタ回路 32 のカウント数が、メモリチップ 1 では 12 カウント、メモリチップ 2 では 13 カウント、メモリチップ 3 では 14 カウント、メモリチップ 4 では 15 カウントとなるようにチップアドレス CADD0、CADD1 が設定されているとすると、図 4 及び図 5 中の遅延時間 t_1 は $24\mu s$ 、 t_2 は $26\mu s$ 、 t_3 は $28\mu s$ 、 t_4 は $30\mu s$ となる。

【0053】

図 8 は、図 3 中の遅延回路 18b の他の詳細回路例を示している。この遅延回路は、定電流回路 81、オペアンプ 82 及びラッチ回路 83 等から構成されている。なお、この遅延回路 18b は、例えば特開平 8-190798 号公報に開示されているものを使用することができる。また、図 9 は、図 8 に示す遅延回路における要部の信号波形を示している。

【0054】

いま、パワーオンリセット信号 POR が “H” レベルになると、定電流回路 81 内の PMOS トランジスタ M1 がオンし、可変抵抗回路 84 を介して NMOS トランジスタ M2 に定電流 I_{ref} が流れる。この定電流 I_{ref} は、NMOS トランジスタ M2 とゲートが共通に接続された NMOS トランジスタ M3 によってミラーされ、予め可変キャパシタ回路 85 に充電されていた電荷がこの定電流 I_{ref} で放電される。可変キャパシタ回路 85 の一端のノード N1 はオパアン

プ82の一方の入力ノードに接続されている。この放電によりノードN1の電位が低下していき、オペアンプ82の他方の入力ノードであるノードN0の電位よりも低くなったことがオペアンプ82で検知され、その検知結果がラッチ回路83でラッチされる。つまり、出力信号OUTは、パワーオンリセット信号PORが“H”レベルになってから所定時間が経過した後に“H”レベルとなる。

【0055】

出力信号OUTが“H”レベルになると、ノードN1に接続されているNMOSトランジスタM4がオンして、可変キャパシタ回路85の電荷が全て排出される。

【0056】

パワーオンリセット信号PORが“L”レベルになると、この遅延回路18bはリセットされ、出力信号OUTは直ちに“L”レベルになる。つまり、ラッチ回路83の入力ノードN2に接続されているPMOSトランジスタM5がオンし、ノードN2に電源電圧VCCが与えられて、ラッチ回路83の出力信号である信号OUTが“L”レベルになる。また、ノードN1に接続されているPMOSトランジスタM6がオンし、このPMOSトランジスタM6を介して可変キャパシタ回路85の充電が開始される。

【0057】

このように、図8に示された遅延回路は、パワーオンリセット信号PORが“H”レベルに立ち上がる時にだけ信号PORを遅延する単方向型の遅延回路として動作する。そして、定電流Irefの値は、NMOSトランジスタM2の閾値電圧をVthn、可変抵抗回路84の抵抗値をRとすると、次の(1)式で与えられる。

【0058】

$$I_{ref} = (VCC - V_{thn}) / R \quad \dots (1)$$

一方、可変キャパシタ回路85の放電が開始されてから、ノードN1の電位がノードN0の電位($VCC - V_{thn}$)と一致するまでの遅延時間をTとし、可変キャパシタ回路85の容量値をCとすると、次の(2)式が成立する。

【0059】

$$I_{ref} \cdot T = (V_{CC} - V_{thn}) \cdot C \quad \dots (2)$$

ここで、(2) 式に (1) 式を代入してまとめると、 $T = R \cdot C$ が得られる。

【0060】

従って、図 8 中の可変抵抗回路 8 4 の抵抗値 R 及び可変キャパシタ回路 8 5 の容量値 C のいずれか一方または両方を、2 ビットのチップアドレス $CADD0$ 、 $CADD1$ に応じて変化させることで遅延時間 T を制御することができる。

【0061】

次に、図 8 中の可変抵抗回路 8 4 及び可変キャパシタ回路 8 5 の具体回路例について説明する。

【0062】

図 10 (a) 及び (b) は可変抵抗回路 8 4 の異なる回路例を示している。図 10 (a) に示す可変抵抗回路は、抵抗 9 1 及び NMOS トランジスタ 9 2 からなる直列回路を必要な回路数分並列接続して構成されている。図 10 (b) に示す可変抵抗回路は、図 10 (a) のものと比べ、NMOS トランジスタ 9 2 の代わりに PMOS トランジスタ 9 3 を用いるようにした点が異なる。

【0063】

このような構成の可変抵抗回路において、2 ビットのチップアドレス $CADD0$ 、 $CADD1$ に応じ、同時にオン状態にさせる NMOS トランジスタ 9 2 もしくは PMOS トランジスタ 9 3 の個数を変化させることで、あるいは抵抗 9 1 の抵抗値を異ならせた上で NMOS トランジスタ 9 2 もしくは PMOS トランジスタ 9 3 を選択的にオン状態にすることで、抵抗値 R を制御することができる。

【0064】

図 11 は可変キャパシタ回路 8 5 の具体回路例を示している。この可変キャパシタ回路は、NMOS トランジスタ 9 4 及び PMOS トランジスタ 9 5 を並列接続した CMOS トランスファゲートに対してキャパシタ 9 6 を直列接続した回路を、必要な回路数分並列接続して構成されている。

【0065】

このような構成の可変キャパシタ回路では、2 ビットのチップアドレス $CADD0$ 、 $CADD1$ に応じ、同時にオン状態にさせる CMOS トランスファゲート

の個数を変化させることで、あるいはキャパシタ 9 6 のキャパシタンスを異ならせた上で CMOS トランスファゲートを選択的にオン状態にすることで、容量値 C を制御することができる。

【 0 0 6 6 】

なお、図 8 に示す遅延回路内の可変抵抗回路 8 4 及び可変キャパシタ回路 8 5 の替わりにそれぞれ値が固定された抵抗回路及びキャパシタ回路を設けることで、図 6 中の遅延回路 4 3、4 4 として使用することができる。

【 0 0 6 7 】

また、図 6 や図 8 に示すような遅延回路の他に、インバータ回路と抵抗及びキャパシタによって構成される通常用いられる簡易な遅延回路を使用し、抵抗及びキャパシタの値やインバータ回路のサイズをチップアドレスに応じて制御する構成としてもよい。

【 0 0 6 8 】

(第 2 の実施の形態)

次にこの発明の第 2 の実施の形態を説明する。

【 0 0 6 9 】

図 1 2 は、図 1 中のパワーオンリセット回路 1 8 の詳細な回路構成を示している。このパワーオンリセット回路は、VCC を電源とする回路と、VCC から昇圧された昇圧電圧 VINT を電源とする回路とを含んでいる。

【 0 0 7 0 】

発振回路 (オシレータ) 1 0 1、昇圧回路 1 0 2 及び VINT - VCC 短絡回路 1 0 3 等は、それぞれ VCC を電源として動作する。

【 0 0 7 1 】

昇圧回路 1 0 2 は VCC よりも高い昇圧電圧 PMPVINT を出力する。昇圧回路 1 0 2 の出力側にはローパスフィルタ (LPF) 1 0 4 及び昇圧電圧安定化用の容量 1 0 5 が設けられている。

【 0 0 7 2 】

ローパスフィルタ 1 0 4 は、例えば抵抗とキャパシタとから構成され、昇圧電圧 PMPVINT の電位の揺れを抑え、平滑化させる働きを有する。

【 0 0 7 3 】

容量 1 0 5 は、昇圧電圧 V I N T の揺れを抑えるとともに、昇圧電位を蓄える働きを有する。

【 0 0 7 4 】

昇圧電圧 V I N T は、定電流回路 1 0 6、基準電圧回路 (B G R) 1 0 7 及び V C C 検知回路 1 0 8 に電源として供給される。

【 0 0 7 5 】

V I N T 検知回路 1 0 9 は、電圧 P M P V I N T をモニタし、その値がある程度の電圧レベルになったことを検知してパワーオン検知信号 P O R I N T を生成する。このパワーオン検知信号 P O R I N T は、定電流回路 1 0 6、基準電圧回路 1 0 7 及び V C C 検知回路 1 0 8 等の動作を制御するために使用される。

【 0 0 7 6 】

定電流回路 1 0 6 で生成されるバイアス用の定電圧 B I A S N は V C C 検知回路 1 0 8 に供給されるとともに、図 1 中の他の回路に供給される。

【 0 0 7 7 】

基準電圧回路 1 0 7 は、昇圧電圧 V I N T を電源として動作して基準電圧 V R E F を生成する。この基準電圧 V R E F は V C C 検知回路 1 0 8 に供給されるとともに、図 1 中の他の回路に供給される。

【 0 0 7 8 】

V C C 検知回路 1 0 8 は、V C C をモニタし、V C C が所定の電圧以上になったことを基準電圧 V R E F との比較により検知し、パワーオンリセット信号 P O R ' を生成する。このパワーオンリセット信号 P O R ' は発振回路 1 0 1 及び V I N T - V C C 短絡回路 1 0 3 等に供給される。

【 0 0 7 9 】

発振回路 1 0 1 は、後述するパワーオン検知回路 1 1 0 で V C C 電源の立ち上がりが検知され、信号 P W O N R S T n が出力されることにより、発振動作を開始してクロックパルスを生成し、V C C 検知回路 1 0 8 から出力されるパワーオンリセット信号 P O R ' が “ H ” レベルになると発振動作を停止する。

【 0 0 8 0 】

昇圧回路 1 0 2 は、クロックパルスを受けて昇圧動作を行い、VCC から昇圧電圧 PMPVINT を生成する。これにより、定電流回路 1 0 6、基準電圧回路 1 0 7 等の回路の電源電圧をある程度高い電圧レベルに維持できる。

【 0 0 8 1 】

さらに、図 1 2 に示すパワーオンリセット回路には、パワーオン検知回路 1 1 0、SR 型のフリップフロップ回路 1 1 1、遅延回路 1 1 2、1 1 3、3 個の NAND ゲート 1 1 4 ~ 1 1 6 及び 4 個のインバータ回路 1 1 7 ~ 1 2 1 が設けられている。

【 0 0 8 2 】

パワーオン検知回路 1 1 0 は、パワーオン時に電源電圧 VCC が所定の電圧以上になったことを検知してパワーオン検知信号 PWONRSTn を生成する。なお、このパワーオン検知回路 1 1 0 における検知レベルは、VCC 検知回路 1 0 8 における検知レベルよりも低い。パワーオン検知信号 PWONRSTn は、フリップフロップ回路 1 1 1 のリセット入力端 Rn に供給されるとともに NAND ゲート 1 1 4 に供給される。

【 0 0 8 3 】

VINT 検知回路 1 0 9 で生成されるパワーオン検知信号 PORINT は、インバータ回路 1 1 7 を介して、フリップフロップ回路 1 1 1 のセット入力端 Sn に供給されるとともに NAND ゲート 1 1 5 に供給される。フリップフロップ回路 1 1 1 の出力信号はインバータ回路 1 1 8 に供給される。このインバータ回路 1 1 8 の出力信号 BGRrstn は、ローパスフィルタ 1 0 4、定電流回路 1 0 6、基準電圧回路 1 0 7 及び VCC 検知回路 1 0 8 にリセット信号として供給されるとともに遅延回路 1 1 2 に供給される。遅延回路 1 1 2 は、信号 BGRrstn を予め定められた一定時間だけ遅延する。遅延回路 1 1 2 の出力信号 BGRenb は、パワーオンリセット信号 POR' とともに NAND ゲート 1 1 6 に供給される。NAND ゲート 1 1 6 の出力信号はインバータ回路 1 2 1 を介して遅延回路 1 1 3 に供給されるとともに、NAND ゲート 1 1 4 に供給される。NAND ゲート 1 1 4 の出力信号はインバータ回路 1 1 9 に供給される。インバータ回路 1 1 9 の出力信号 EQVCCn は NAND ゲート 1 1 5 に供給されるととも

にVINT-VCC短絡回路103に供給される。NANDゲート115の出力信号はインバータ回路120に供給される。インバータ回路120の出力信号は発振動作を制御するための信号OSCenbとして発振回路101に供給される。

【0084】

VINT-VCC短絡回路103は、信号EQVCCnが入力されるインバータ回路122と、インバータ回路122の出力信号がゲートに供給され、ソース・ドレイン間の電流通路がVCCのノードとPMPVINTのノードとの間に挿入されたDタイプのMOSトランジスタ123とから構成されている。

【0085】

図12に示すパワーオンリセット回路の動作は以下のとおりである。すなわち、パワーオン検知回路110により、遅延回路112、113やNANDゲート114～116及びインバータ回路117～122等からなるロジック回路が動作するための最低の電圧VCCminが検知され、定電流回路106、基準電圧回路107及びVCC検知回路108等からなるアナログ回路で使用する電圧VINTの昇圧が開始される。VINTのレベルがアナログ回路のVCCminよりも高くなったことがVINT検知109で検知されると、信号BGRrstnにより、定電流回路106、基準電圧回路107及びVCC検知回路108のリセット状態が解除され、その後、遅延回路112における遅延時間の間だけアナログ回路の出力(BIASN、VREF)の値が安定するのを待つ。定電流回路106で生成される定電流及び基準電圧回路107で生成される基準電圧の値が安定した後、VCC検知回路108によりVCCが検知されてパワーオンリセット信号POR'が解除される(リセットが解除される)。

【0086】

信号POR'が解除された後は、NANDゲート114、インバータ回路119、NANDゲート115及びインバータ回路120からなる経路で信号OSCenbが非活性化され、発振回路101の発振動作が停止して昇圧回路102における昇圧動作が停止する。さらに、インバータ回路119の出力信号EQVCCnによってVINT-VCC短絡回路103内のMOSトランジスタ122が

オン状態にされ、VINTと電源VCCとが短絡される。さらに、VINTとVCCの短絡による電圧の揺れの影響をなくすために、遅延回路113による遅延時間の後にパワーオンリセット信号PORのリセット状態が解除される。そして、このパワーオンリセット信号PORが図1中の制御回路19に入力されることによって、ROMリード動作が起動される。

【0087】

ここで、パワーオンリセット信号PORを出力する遅延回路113は、遅延時間が、複数のパッドに供給される複数ビットのチップアドレスCADD_iに応じて変化できるように構成されている。

【0088】

従って、図12に示すパワーオンリセット回路が設けられたメモリチップを複数個設け、個々のチップに異なるチップアドレスCADD_iを与えることで、チップアドレスに応じてパワーオンリセット信号PORが解除されるタイミングが異なるようになる。この結果、ROMリード動作の起動タイミングが順次シフトし、第1の実施の形態の場合と同様に、複数個の不揮発性メモリチップを使用する場合でもパワーオン直後における消費電流の増大を防ぐことができる。

【0089】

なお、遅延時間が制御できる遅延回路113としては、図6及び図8に示す構成のものを使用することができる。

【0090】

(第3の実施の形態)

次にこの発明の第3の実施の形態を説明する。

【0091】

図13は、図1中のパワーオンリセット回路18の詳細な回路構成を示している。このパワーオンリセット回路は図12に示すものと構成が一部が異なるだけなので、図12と異なる箇所のみを説明し、図12と対応する箇所については説明は省略する。

【0092】

図12に示すパワーオンリセット回路では、遅延回路113の遅延時間をチッ

ブアドレスCADDiに応じて変化させるようにしていたが、この実施の形態では、信号BGRrstnを遅延する遅延回路112の遅延時間をチップアドレスCADDiに応じて変化させるようにしたものである。

【0093】

このような構成において、VCC検知回路108によりVCCが検知されてパワーオンリセット信号POR'のリセット状態が解除されても、NANDゲート116の出力信号は、遅延回路112の出力信号であるBGRenbが“H”レベルにならないければ“H”レベルにならない。

【0094】

すなわち、この実施の形態の場合にも、パワーオンリセット信号PORのリセット状態が解除されるタイミングは、チップアドレスCADDiに応じて変化するようになる。

【0095】

従って、図13に示すパワーオンリセット回路が設けられたメモリチップを複数個設け、個々のチップに異なるチップアドレスCADDiを与えることで、チップアドレスに応じてパワーオンリセット信号PORが解除されるタイミングが異なるようになる。この結果、ROMリード動作の起動タイミングが順次シフトし、第2の実施の形態の場合と同様に、複数個の不揮発性メモリチップを使用する場合でもパワーオン直後における消費電流の増大を防ぐことができる。

【0096】

なお、この実施の形態では、パワーオンリセット信号POR'とともにNANDゲート116に供給される信号BGRenbを出力する遅延回路112における遅延時間を制御するので、電源が高速に立ち上がるような場合に特に効果を発揮する。

【0097】

また、この場合にも、遅延時間が制御できる遅延回路112として、図6及び図8に示す構成のものを使用することができる。

【0098】

図14及び図15は、図12及び図13のパワーオンリセット回路で用いられ

ている定電流回路 1 0 6 及び基準電圧回路 1 0 7 の詳細な回路構成の一例を示している。

【 0 0 9 9 】

図 1 4 は定電流回路 1 0 6 の構成を示している。昇圧電圧 V_{INT} のノードと接地電圧ノードとの間に、ゲート・ドレイン相互が接続された PMOS トランジスタ 1 3 1、NMOS トランジスタ 1 3 2 及びダイオード 1 3 3 が直列に接続されている。また、 V_{INT} ノードと接地電圧ノードとの間に、PMOS トランジスタ 1 3 4、ドレイン・ゲート相互が接続された NMOS トランジスタ 1 3 5 及び抵抗 1 3 6 が直列に接続されている。PMOS トランジスタ 1 3 1 及び 1 3 4 のゲート同士が接続されており、NMOS トランジスタ 1 3 2 及び 1 3 5 のゲート同士が接続されている。さらに、 V_{INT} ノードと接地電圧ノードとの間に、PMOS トランジスタ 1 3 7 及びドレイン・ゲート相互が接続された NMOS トランジスタ 1 3 8 が直列に接続されている。PMOS トランジスタ 1 3 7 は、ゲートが PMOS トランジスタ 1 3 1 のドレインに接続されており、NMOS トランジスタ 1 3 8 のゲートからバイアス用の定電圧 $B I A S_N$ が出力される。

【 0 1 0 0 】

定電流回路 1 0 6 から出力される定電圧 $B I A S_N$ が、 V_{CC} 検知回路 1 0 8 内等に設けられ、上記 NMOS トランジスタ 1 3 8 と共にカレントミラー回路を構成する NMOS トランジスタのゲートに供給されることで、この NMOS トランジスタに一定の電流を流すことができる。

【 0 1 0 1 】

図 1 5 は基準電圧回路 1 0 7 の構成を示している。基準電圧 V_{REF} のノードと接地電圧ノードとの間に抵抗 1 4 1 及びダイオード 1 4 2 が直列接続されている。また、基準電圧 V_{REF} のノードには抵抗 1 4 3 の一端が接続されており、この抵抗 1 4 3 の他端には抵抗 1 4 4 の一端が接続されている。さらに、この抵抗 1 4 4 の他端と接地電圧ノードとの間には複数個のダイオード 1 4 5 が並列に接続されている。

【 0 1 0 2 】

差動増幅器 1 4 6 は、抵抗 1 4 1 とダイオード 1 4 2 の接続ノードにおける電

圧 V_A と、2 個の抵抗 1 4 3、1 4 4 の接続ノードにおける電圧 V_B とを比較するものであり、その出力信号は、 V_{INT} ノードと基準電圧 V_{REF} のノードとの間にソース・ドレイン間が挿入された PMOS トランジスタ 1 4 7 のゲートに供給される。

【0 1 0 3】

ちなみに、上記差動増幅器 1 4 6 内に設けられた NMOS トランジスタ 1 4 8 のゲートには、図 1 4 に示す定電流回路 1 0 6 から出力される定電圧 $B I A S_N$ が供給され、この NMOS トランジスタ 1 4 8 は図 1 4 中の NMOS トランジスタ 1 3 8 と共にカレントミラー回路を構成している。従って、NMOS トランジスタ 1 4 8 は、一定の電流を流す定電流源として作用する。

【0 1 0 4】

この基準電圧回路では、抵抗 1 4 3、1 4 4 の抵抗比、抵抗 1 4 1、1 4 3 の抵抗比及び並列接続されたダイオード 1 4 5 の個数によって決まる温度特性でダイオード 1 4 2 の温度特性を補償することにより、温度依存性のない基準電圧 V_{REF} が得られる。

【0 1 0 5】

(第 4 の実施の形態)

次にこの発明の第 4 の実施の形態を説明する。

【0 1 0 6】

図 1 6 は、図 1 に示されるメモリチップ中のパワーオンリセット回路 1 8 と制御回路 1 9 の内部構成を示すブロック図である。

【0 1 0 7】

パワーオンリセット回路 1 8 は、図 3 の場合と同様に、パワーオンレベル検知回路 1 8 a と遅延回路 1 8 b とから構成されている。

【0 1 0 8】

制御回路 1 9 は、図 3 の場合と同様に、初期化制御回路 1 9 a と ROM リード制御回路 1 9 b とから構成されている。

【0 1 0 9】

前述した第 1 ないし第 3 の実施の形態では、遅延回路 1 8 b における遅延時間

をチップアドレスに応じて制御することでROMリード動作の起動タイミングをずらしていた。これに対し、この第4の実施の形態では、パワーオンレベル検知回路18aにおける検知レベルを、外部から入力されるチップアドレスに応じて異ならせることで同様の効果が得られるようにしたものである。

【0110】

このため、パワーオンレベル検知回路18aは、電源電圧の検知レベルが、パッドに入力される信号に応じて制御できるような構成を有する。この場合、チップアドレスとしてCADD0、CADD1の2ビットが使用されている。つまり、この第4の実施の形態では、同一パッケージ内に収納されるメモリチップが4個（ 2^2 個）の場合を示している。

【0111】

これら4個のメモリチップ内に設けられたパワーオンレベル検知回路18aは、チップアドレスCADD0、CADD1が供給される2個のパッドP0、P1にそれぞれ接続されている。そして、各パワーオンレベル検知回路18aにおける検知レベルは、それぞれのチップに与えられるチップアドレスCADD0、CADD1に応じて、順次異なるように設定されている。例えば、図4に示すように、チップアドレス（CADD0、CADD1）が（“L”、“L”）のメモリチップ1のパワーオンレベル検知回路18aにおける検知レベルはV1、（“L”、“H”）のメモリチップ2のパワーオンレベル検知回路18aにおける検知レベルはV2、（“H”、“L”）のメモリチップ3のパワーオンレベル検知回路18aにおける検知レベルはV3、（“H”、“H”）のメモリチップ4のパワーオンレベル検知回路18aにおける検知レベルはV4にそれぞれ設定され、これら検知レベルの間には、 $V1 > V2 > V3 > V4$ の関係が成立しているとする。

【0112】

なお、遅延回路18bにおける遅延時間は各メモリチップで同じであり、メモリチップ相互間で実質的な差異はない。

【0113】

次に、図16に示すような構成のパワーオンリセット回路18及び制御回路1

9を有する不揮発性メモリチップを4個設けた不揮発性メモリの動作を、図17のタイミングチャートを参照して説明する。

【0114】

電源電圧VCCが立ち上がり、その値がメモリチップ1のパワーオンレベル検知回路18aにおける検知レベルV1に達すると、メモリチップ1内のパワーオンレベル検知回路18aから出力されるパワーオンリセット信号のリセット状態が解除される。なお、図5の場合と同様に、図17では、パワーオンリセット信号が“L”レベルとなっているパワーオンリセット期間が「パワーオン」として示されている。

【0115】

次に、電源電圧VCCの値がメモリチップ2のパワーオンレベル検知回路18aにおける検知レベルV2に達すると、メモリチップ2内のパワーオンレベル検知回路18aから出力されるパワーオンリセット信号のリセット状態が解除される。

【0116】

以下、同様にして、電源電圧VCCの値がメモリチップ3、4のパワーオンレベル検知回路18aにおける検知レベルV3、V4に達すると、メモリチップ3、4内のパワーオンレベル検知回路18aから出力されるパワーオンリセット信号のリセット状態が解除される。

【0117】

ここで、パワーオンレベル検知回路18aにおける検知レベルは、チップアドレスCADD0、CADD1のパッドに供給されている2ビットの信号により制御されており、パワーオンリセット信号が解除されるタイミングが各チップで順次シフトする。

【0118】

各パワーオンレベル検知回路18aから出力されるパワーオンリセット信号は、各遅延回路18bで同じ時間だけ遅延される。図5の場合と同様にこの遅延期間は「Delay」で示されている。そして、上記遅延期間が終了すると、ROMリード制御回路19bからROMリード動作を制御するための制御信号が出力

されてROMリード動作が起動されるが、パワーオンリセット信号が解除されるタイミングが各チップで順次シフトしているので、ROMリード動作が起動されるタイミングも順次シフトする。このため、ROMリード時の消費電流の値がピークを示すタイミングがずれ、複数個の不揮発性メモリチップを使用する場合でもパワーオン直後における消費電流の増大を防ぐことができる。これにより、パワーオン直後における電源電圧の値が低下する可能性を排除することができ、システムの電源供給能力の圧迫を避けることができる。

【0119】

図18は、図16中のパワーオンレベル検知回路18aの回路構成の一例を示す。

【0120】

このパワーオンレベル検知回路は、VCCノードと接地電圧ノードとの間に直列接続された2個の抵抗151、152と、抵抗151、152の直列接続ノードAにゲートが接続され、ソースがVCCノードに接続されたPMOSトランジスタ153と、PMOSトランジスタ153のドレインと接地電圧ノードとの間に接続された抵抗素子154と、VCCを動作電源とし、縦続接続された偶数個のインバータ回路からなり初段のインバータ回路にPMOSトランジスタ153のドレインと抵抗154との直列接続ノードBの電位が入力する波形整形回路155とからなり、後段のインバータ回路からパワーオンリセット信号PORが出力される。

【0121】

ここで、上記構成のパワーオンレベル検知回路の動作を説明する。なお、2個の抵抗151、152の抵抗値を R_{11} 、 R_{12} 、PMOSトランジスタ153の閾値電圧の絶対値を V_{thp} とする。

【0122】

パワーオン直後は、トランジスタ153はオフ状態であり、ノードBの電位は“L”レベル、パワーオンリセット信号PORも“L”レベルである。

【0123】

VCCが上昇し、VCCがパワーオン検知レベル V_i ($V_i = (R_{11} + R_{12})$

2) V_{thp}/R_{11} に達すると、トランジスタ153がオン状態になり、ノードBの電位が“H”レベルに反転し、パワーオンリセット信号PORも“H”レベルに反転してリセット状態が解除される。

【0124】

ここで、このパワーオンレベル検知回路の検知レベルをチップアドレスに応じて変えるには、直列接続されている2個の抵抗151、152の抵抗比を変えればよい。例えば、抵抗152の抵抗値 R_{12} は固定とし、抵抗151として先の図10(a)、(b)に示すような可変抵抗回路を用いることで、検知レベルを変えることができる。

【0125】

(第5の実施の形態)

次にこの発明の第5の実施の形態を説明する。

【0126】

図19は、図1中のパワーオンリセット回路18の詳細な回路構成を示している。このパワーオンリセット回路は、図12や図13に示すような構成のパワーオンリセット回路において、VCCを検知してパワーオンリセット信号POR'を出力するVCC検知回路108における検知レベルをチップアドレスに応じて変えることにより、複数個のメモリチップを使用した不揮発性メモリにおいて、個々のメモリチップのROMリード動作が起動されるタイミングを順次シフトするようにしたものである。

【0127】

従って、図12や図13に示すパワーオンリセット回路と比べて異なる箇所のみを説明し、図12や図13と対応する箇所については説明を省略する。

【0128】

すなわち、図12の場合には遅延回路113における遅延時間を、図13の場合には遅延回路112における遅延時間をそれぞれチップアドレスに応じて変えるようにしていた。これに対し、この第5の実施の形態では、VCC検知回路108にチップアドレスCADD_iを供給し、その検知レベルをチップアドレスに応じて変えるようにしている。

【 0 1 2 9 】

この第5の実施の形態では、VCCを検知するタイミングがメモリチップ毎に変わり、パワーオンリセット信号POR'が解除されるタイミングがメモリチップ毎に変わる。これにより、ROMリード時の消費電流の値がピークを示すタイミングがずれ、複数個の不揮発性メモリチップを使用する場合でもパワーオン直後における消費電流の増大を防ぐことができる。これにより、パワーオン直後における電源電圧の値が低下する可能性を排除することができ、システムの電源供給能力の圧迫を避けることができる。

【 0 1 3 0 】

図20は、図19中のVCC検知回路108の回路構成の一例を示す。

【 0 1 3 1 】

このVCC検知回路は、VCCを分割する抵抗161、162と、昇圧電圧VINTを動作電源とし、抵抗161、162による分割電圧と基準電圧VREFとを比較するオペアンプ163と、このオペアンプ163内の電流源をスイッチ制御するNMOSトランジスタ164と、昇圧電圧VINTを動作電源とし、オペアンプ163の出力が供給されるインバータ回路165と、VCCを動作電源とし、インバータ回路165の出力が供給されるレベルシフタ166とから構成されている。

【 0 1 3 2 】

このVCC検知回路は、VCCをモニタし、VCCが所定のレベルに達したことを検知してパワーオンリセット信号POR'を“H”レベルにする。

【 0 1 3 3 】

ここで、このVCC検知回路の検知レベルをチップアドレスに応じて変えるには、例えば、直列接続されている2個の抵抗161、162の抵抗比を変えればよい。例えば、抵抗162の抵抗値は固定とし、抵抗161として先の図10(a)、(b)に示すような可変抵抗回路を用いることで、検知レベルを変えることができる。

【 0 1 3 4 】

(第6の実施の形態)

次にこの発明の第 6 の実施の形態を説明する。

【 0 1 3 5 】

図 2 1 は、図 2 に示すように同一パッケージ内に 4 個のメモリチップが収納される不揮発性メモリにおいて、図 1 に示される各メモリチップ中のパワーオンリセット回路 1 8 及び制御回路 1 9 の内部構成を示すブロック図である。

【 0 1 3 6 】

第 1 の実施の形態では、遅延回路 1 8 b における遅延時間を制御するために、遅延回路 1 8 b にチップアドレス用のパッドを接続し、これらのパッドに対し、ボンディングワイヤによりそれぞれのチップアドレスに対応した電圧を接続することで、チップアドレス C A D D 0、C A D D 1 を遅延回路 1 8 b に供給する場合を説明した。

【 0 1 3 7 】

これに対し、この第 6 の実施の形態では、チップアドレス用のパッドを設けることなく、その代わりに、図 2 1 に示すように、パワーオンリセット回路 1 8 内に、チップアドレス用のヒューズデータ C A D D 0、C A D D 1 を記憶し、パワーオン時にこのヒューズデータを読み出して遅延回路 1 8 b に供給するヒューズデータ回路が追加されている。

【 0 1 3 8 】

ヒューズデータ回路は、図 2 1 に示すように 2 個のヒューズ回路 1 8 c、1 8 d からなる。なお、ヒューズデータ回路内には、同一パッケージ内に収納されるメモリチップの個数に応じた数のヒューズ回路が設けられる。例えば、上記のように同一パッケージ内に 4 個のメモリチップが収納される場合にヒューズ回路は 2 個設けられ、8 個の場合にヒューズ回路は 3 個設けられ、1 6 個の場合にヒューズ回路は 4 個設けられる。

【 0 1 3 9 】

そして、2 個のヒューズ回路 1 8 c、1 8 d では、メモリチップそれぞれのチップアドレスに応じてヒューズデータが予めプログラムされ、パワーオン直後にこのヒューズデータが読み出されて遅延回路 1 8 b に供給される。

【 0 1 4 0 】

図22は、図21中のヒューズ回路18c、18dそれぞれの詳細な回路構成を示している。

【0141】

ヒューズ回路は、ヒューズ素子171と、リセット用のPMOSトランジスタ172と、ヒューズデータ読み出し用のNMOSトランジスタ173と、ヒューズデータをラッチするラッチ回路174と、ラッチ回路174の出力を波形整形する縦続接続された2個のインバータ回路からなる波形整形回路175とから構成されている。

【0142】

ヒューズ素子171として、例えば、レーザー光の照射によって溶断できるレーザーヒューズや、トランジスタ素子やキャパシタ素子を電氣的に破壊することで電流の導通状態を制御する電気ヒューズ等を使用することができる。

【0143】

PMOSトランジスタ172はVCCノードとラッチ回路174の入力ノードとの間に挿入されている。NMOSトランジスタ173はラッチ回路174の入力ノードとヒューズ素子171との間に挿入されている。また、PMOSトランジスタ172及びNMOSトランジスタ173の各ゲートには、VCCを検知することによって得られ、パワーオン時にVCCが所定のレベルに達する前では“L”レベル、所定のレベルに達した際に“H”レベルとなるようなパワーオンリセット信号POR_nが供給される。なお、パワーオンリセット信号POR_nが“H”レベルとなるようなVCCの検知レベルは、図21中のパワーオンレベル検知回路18aにおけるVCCの検知レベルよりも低い。

【0144】

このような構成でなるヒューズ回路は次のように動作する。

【0145】

パワーオン時に、パワーオンリセット信号POR_nが“H”レベルになる前は、リセット用のPMOSトランジスタ172がオン状態になり、ラッチ回路174の入力ノードが“H”レベルにリセットされる。次に、パワーオンリセット信号POR_nが“H”レベルになると、リセット用のPMOSトランジスタ172

がオフし、ヒューズデータ読み出し用のNMOSトランジスタ173がオン状態になり、ヒューズ素子171のデータがラッチ回路174に供給される。

【0146】

ここで、予め、電流が流れないようにヒューズ素子171がプログラムされていれば、ラッチ回路174の入力ノードのリセット状態がそのまま維持され、ラッチ回路174には“L”のデータが読み出されることになり、ラッチ後に“L”のヒューズデータが出力される。

【0147】

他方、電流が流れるようにヒューズ素子171がプログラムされていれば、ラッチ回路174の入力ノードは“L”レベルに放電され、ラッチ回路174には“H”のデータが読み出されることになり、ラッチ後に“H”のヒューズデータが出力される。

【0148】

そして、それぞれ2ビットのヒューズデータが遅延回路18bに供給されることで、遅延回路18bにおける遅延時間が、各メモリチップ毎に異なるように制御される。なお、遅延回路18bとしては図6や図8に示すものをそのまま使用することができる。

【0149】

また、パワーオンリセット信号POR_nが“H”レベルとなるようなVCCの検知レベルが、パワーオンレベル検知回路18aにおけるVCCの検知レベルよりも低くされているので、ヒューズデータ回路からヒューズデータが読み出される前に、パワーオンレベル検知回路18aから出力されるパワーオンリセット信号PORが“H”レベルになることがなく、遅延回路18bで確実に遅延時間の制御を行うことができる。

【0150】

このように、この第6の実施の形態においても、パワーオンリセット信号PORの遅延時間を変えることで、パワーオンリセット信号が解除されるタイミングがメモリチップ毎に変わる。これにより、ROMリード時の消費電流の値がピークを示すタイミングがずれ、複数個の不揮発性メモリチップを使用する場合でも

パワーオン直後における消費電流の増大を防ぐことができる。これにより、パワーオン直後における電源電圧の値が低下する可能性を排除することができ、システムの電源供給能力の圧迫を避けることができる。

【0151】

(第7の実施の形態)

次にこの発明の第7の実施の形態を説明する。

【0152】

図23は、図2に示すように同一パッケージ内に4個のメモリチップが収納される不揮発性メモリにおいて、図1に示される各メモリチップ中のパワーオンリセット回路18及び制御回路19の内部構成を示すブロック図である。

【0153】

第1ないし第6の各実施の形態では、パワーオン時に自動的にROMリード動作が起動される場合を説明したが、この第7の実施の形態ではROMリード動作起動用のパッドに供給される信号に応じてROMリード動作を起動し、かつ複数個のメモリチップにおけるROMリード動作の起動タイミングが互いに異なるようにしたものである。

【0154】

この第7の実施の形態では、図23に示すように、パワーオンリセット回路18内の遅延回路18bにおける遅延時間は、チップアドレスに応じて変えられることがなく、固定されており、パワーオンリセット回路18内には新たにパルス生成回路18eと遅延回路18fとが追加されている。

【0155】

パルス生成回路18eには、ROMリード動作を起動するためのROMリード起動用の制御信号ROMRDSTTが供給されるパッドPRが接続されている。そして、パルス生成回路18eは、この制御信号ROMRDSTTが“L”レベルから“H”レベルに、または“H”レベルから“L”レベルに変化した際にパルス信号を生成する。このパルス信号は遅延回路18fに供給される。

【0156】

遅延回路18fは上記パルス信号を遅延する。さらに、この遅延回路18fに

はチップアドレス指定用の２個のパッド P 0、P 1 が接続されており、遅延回路 1 8 f における遅延時間はこの２個のパッドに供給されるチップアドレス C A D D 0、C A D D 1 に応じて制御される。

【 0 1 5 7 】

ここで、図 2 に示した４個のメモリチップのチップアドレス指定用の２個のパッド P 0、P 1 に供給されるチップアドレス C A D D 0、C A D D 1 と、各メモリチップ内に設けられた遅延回路 1 8 f における遅延時間との関係は、例えば図 4 に示した場合と同様にされている。

【 0 1 5 8 】

遅延回路 1 8 f の出力信号は R O M リード制御回路 1 9 b に供給される。この信号は R O M リード動作の起動信号として使用される。

【 0 1 5 9 】

なお、図 2 3 に示すように、遅延時間が固定された遅延回路 1 8 b からの出力も R O M リード制御回路 1 9 b に供給されているが、この信号はリード制御回路 1 9 b 内に設けられているラッチ回路をリセットする目的のために入力されているのであり、R O M リード動作の起動信号とはならない。

【 0 1 6 0 】

次に、上記構成でなる不揮発性メモリの動作を図 2 4 のタイミングチャートを参照して説明する。

【 0 1 6 1 】

電源電圧 V C C が立ち上がり、その値がパワーオン検知レベルに達すると、各メモリチップ内のパワーオンレベル検知回路 1 8 a からパワーオンリセット信号が出力される。図 2 4 では、パワーオンリセット信号が“L”レベルとなっているパワーオンリセット期間が「パワーオン」として示されている。この後、パワーオンリセット信号が遅延回路 1 8 b で遅延される。遅延回路 1 8 b における遅延時間は全てのメモリチップで同じであり、この遅延期間は「D e l a y」で示されている。そして、上記遅延期間が終了すると、初期化制御回路 1 9 a から初期化動作を制御するための制御信号が出力されて、チップ内部回路の初期化が行われる。さらに R O M リード制御回路 1 9 b 内に設けられているラッチ回路がリ

セットされる。すなわち、パワーオン時にはROMリード動作は起動されない。

【0162】

パワーオン後、電源電圧VCCの値が安定している時に、パッドPRに供給される信号ROMRDSTTが“L”レベルから“H”レベルに、または“H”レベルから“L”レベルに変化した後に、パルス生成回路18eからパルス信号が出力される。このパルス信号は遅延回路18fで遅延されるが、その遅延時間はパッドP0、P1に供給されている2ビットのチップアドレスCADD0、CADD1により制御され、4個のメモリチップで互いに異なるようになる。そして、この遅延回路18fの出力によってROMリード制御回路19bにおけるROMリード動作が起動されるので、図24に示すように、ROMリード動作の起動タイミングが各チップでシフトする。

【0163】

このため、個々のメモリチップで、ROMリード時の消費電流の値がピークを示すタイミングがずれ、複数個の不揮発性メモリチップを使用する場合でもパワーオン直後における消費電流の増大を防ぐことができる。これにより、パワーオン直後における電源電圧の値が低下する可能性を排除することができ、システムの電源供給能力の圧迫を避けることができる。

【0164】

なお、この発明は上記した各実施の形態に限定されるものではなく、種々の変形が可能であることはいうまでもない。例えば、不揮発性メモリチップがNANDフラッシュメモリチップである場合について説明したが、これはその他にNOR型、DINOR型、AND型等のフラッシュメモリチップであってもよい。

【0165】

【発明の効果】

以上説明したようにこの発明によれば、複数個のメモリチップを使用した場合に、パワーオン直後のROMリード動作時における消費電流を低減することができる不揮発性半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】

第 1 の実施の形態に係る不揮発性メモリチップ内部の全体の構成を示すブロック図。

【図 2】

図 1 に示すメモリチップを複数個使用した不揮発性メモリの回路図。

【図 3】

図 1 に示すメモリチップ中のパワーオンリセット回路と制御回路の内部構成を示すブロック図。

【図 4】

図 2 に示す 4 個のメモリチップのチップアドレスと遅延回路における遅延時間の一例をまとめて示す図。

【図 5】

図 2 に示す不揮発性メモリの動作の一例を示すタイミングチャート。

【図 6】

図 3 中の遅延回路の詳細な構成の一例を示す回路図。

【図 7】

図 6 中のデコーダ回路の具体的な回路図。

【図 8】

図 3 中の遅延回路の他の詳細な構成を示す回路図。

【図 9】

図 8 に示す遅延回路における要部の信号波形を示す図。

【図 10】

図 8 中の可変抵抗回路の具体的な構成を示す回路図。

【図 11】

図 8 中の可変キャパシタ回路の具体的な構成を示す回路図。

【図 12】

第 2 の実施の形態によるパワーオンリセット回路の詳細な構成を示す回路図。

【図 13】

第 3 の実施の形態によるパワーオンリセット回路の詳細な構成を示す回路図。

【図 14】

図 1 2 及び図 1 3 中の定電流回路の詳細な構成を示す回路図。

【図 1 5】

図 1 2 及び図 1 3 中の基準電圧回路の詳細な構成を示す回路図。

【図 1 6】

第 4 の実施の形態によるパワーオンリセット回路と制御回路の内部構成を示すブロック図。

【図 1 7】

図 1 6 に示す不揮発性メモリの動作の一例を示すタイミングチャート。

【図 1 8】

図 1 6 中のパワーオンレベル検知回路の詳細な構成を示す回路図。

【図 1 9】

第 5 の実施の形態によるパワーオンリセット回路の内部構成を示すブロック図。

【図 2 0】

図 1 9 中の V C C 検知回路の詳細な構成を示す回路図。

【図 2 1】

第 6 の実施の形態によるパワーオンリセット回路及び制御回路の内部構成を示すブロック図。

【図 2 2】

図 2 1 中のヒューズ回路の詳細な構成を示す回路図。

【図 2 3】

第 7 の実施の形態によるパワーオンリセット回路及び制御回路の内部構成を示すブロック図。

【図 2 4】

図 2 3 に示す不揮発性メモリの動作の一例を示すタイミングチャート。

【図 2 5】

不揮発性メモリにおける電源電圧と消費電流の変化を示す波形図。

【符号の説明】

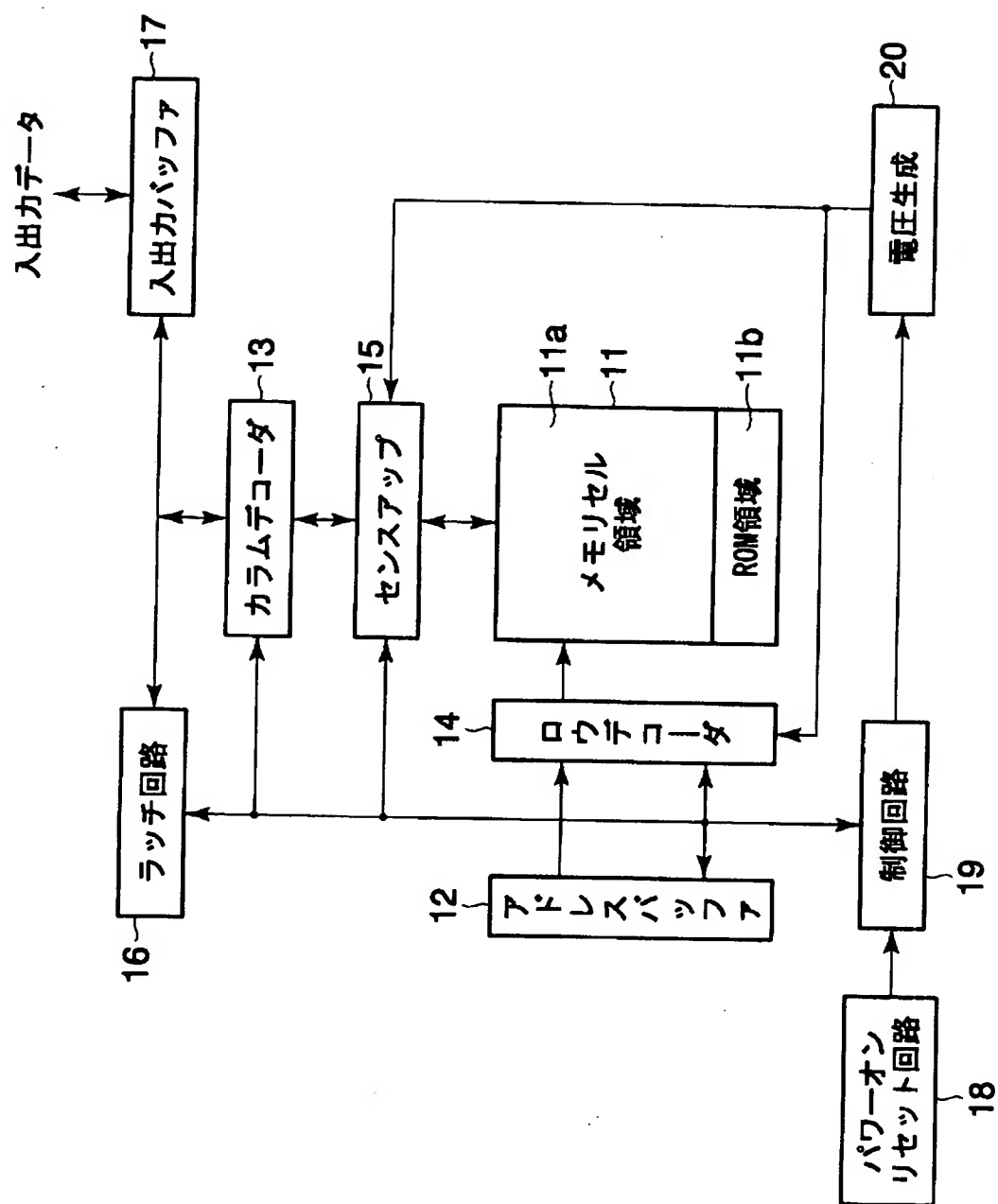
1 1 …メモリセルアレイ、

- 1 2 …アドレスバッファ、
- 1 3 …カラムデコーダ、
- 1 4 …ロウデコーダ、
- 1 5 …センスアンプ、
- 1 6 …ラッチ回路、
- 1 7 …入出力バッファ、
- 1 8 …パワーオンリセット回路、
- 1 8 a …パワーオンレベル検知回路、
- 1 8 b …遅延回路、
- 1 8 c、1 8 d …ヒューズ回路、
- 1 8 e …パルス生成回路、
- 1 8 f …遅延回路、
- 1 9 …制御回路、
- 1 9 a …初期化制御回路、
- 1 9 b …ROMリード制御回路、
- 2 0 …電圧生成回路、
- 3 1 …クロック信号生成回路、
- 3 2 …カウンタ回路、
- 3 3 …デコーダ回路、
- 1 0 8 …VCC検知回路、
- 1 1 0 …パワーオン検知回路、
- 1 1 2、1 1 3 …遅延回路。

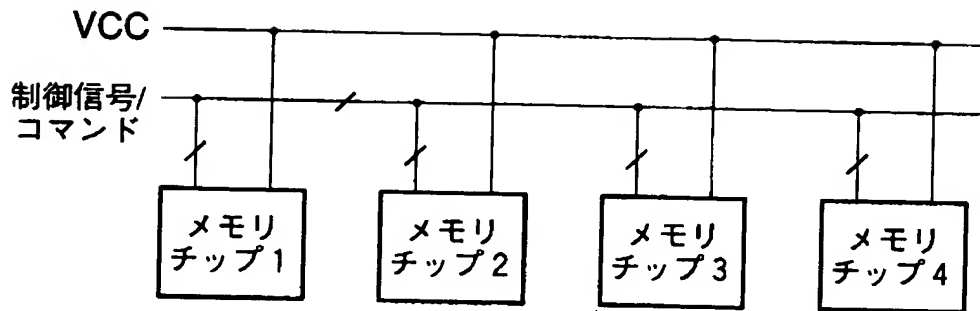
【書類名】

図面

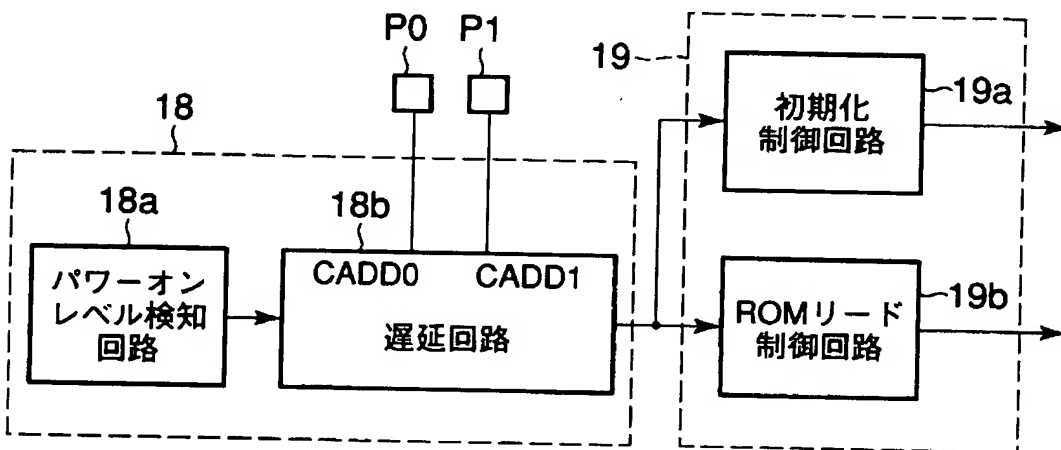
【図 1】



【図 2】



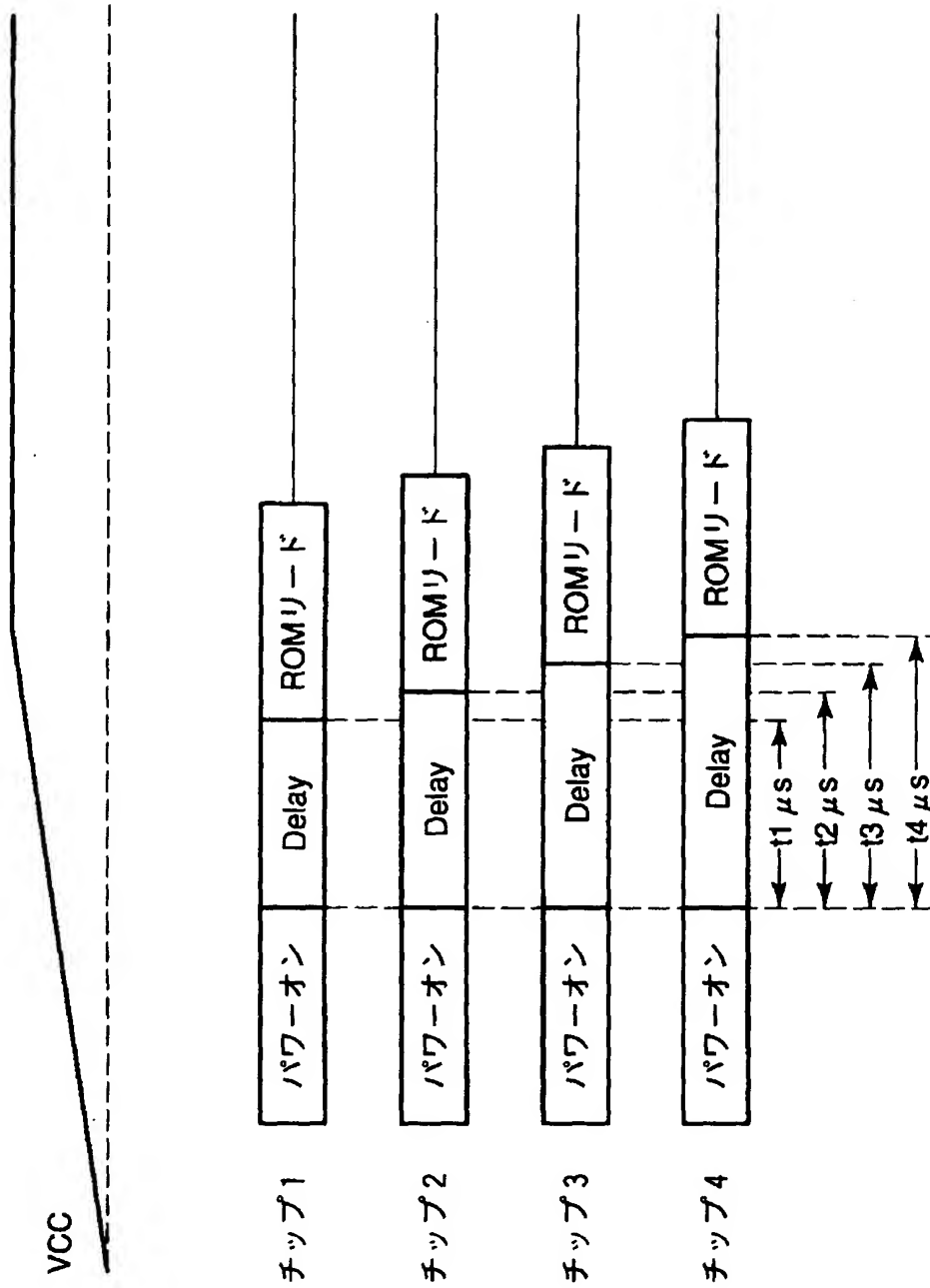
【図 3】



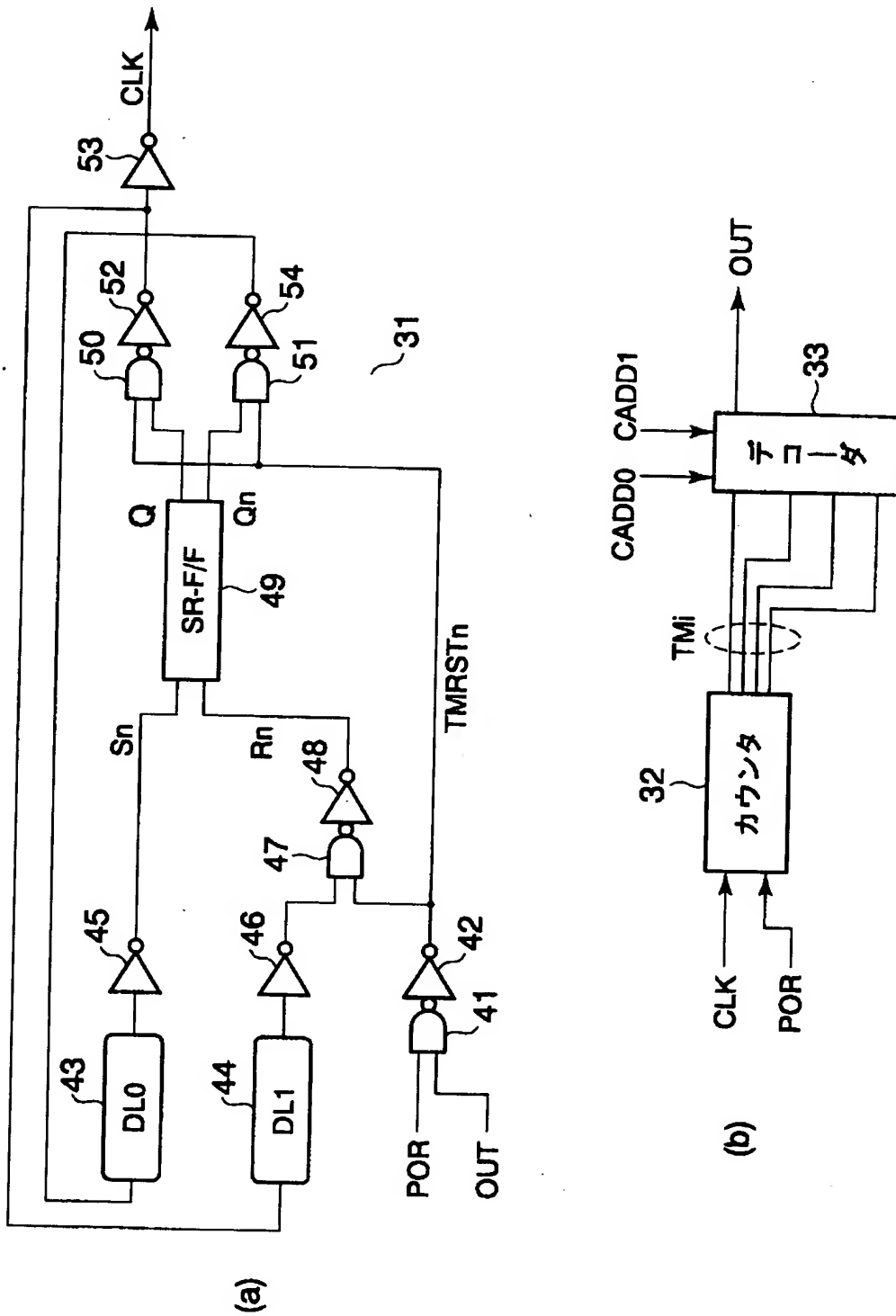
【図 4】

チップNo.	CADD0	CADD1	遅延時間
1	"L"	"L"	$t1 \mu s$
2	"L"	"H"	$t2 \mu s$
3	"H"	"L"	$t3 \mu s$
4	"H"	"H"	$t4 \mu s$

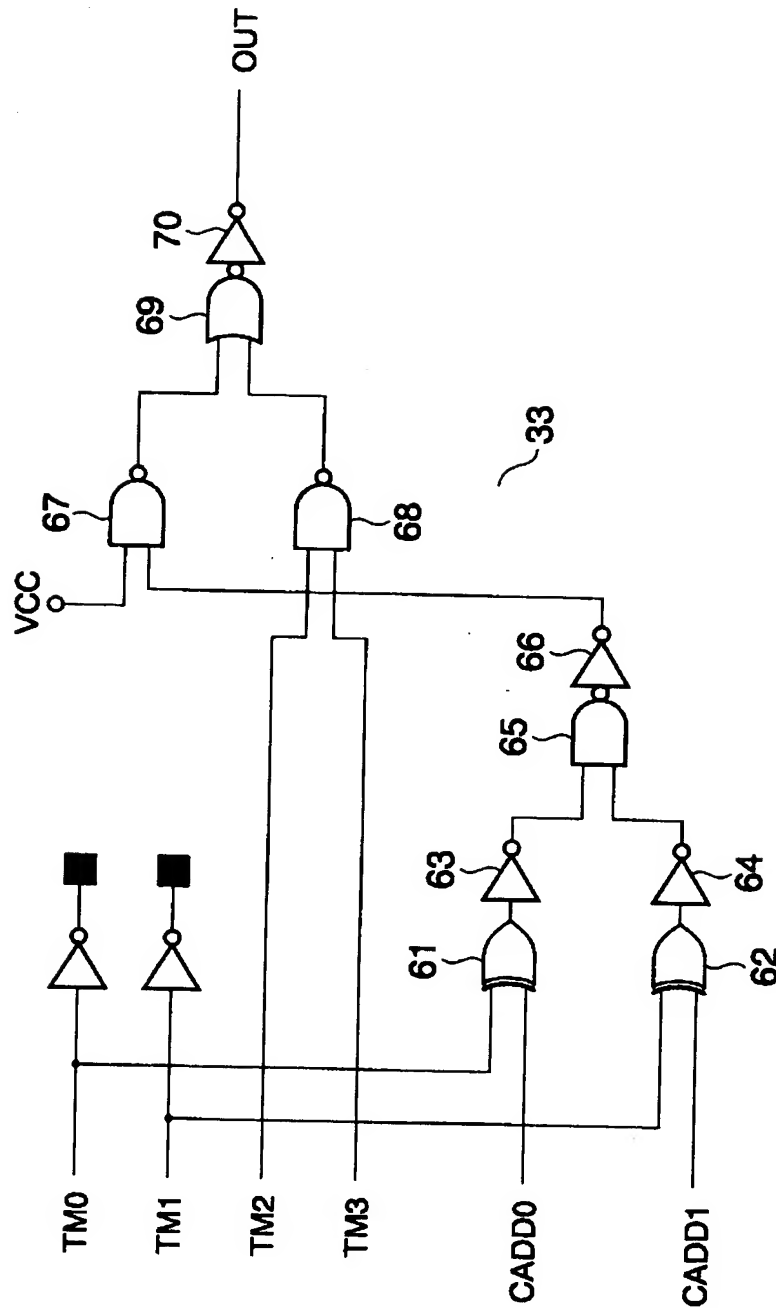
【図5】



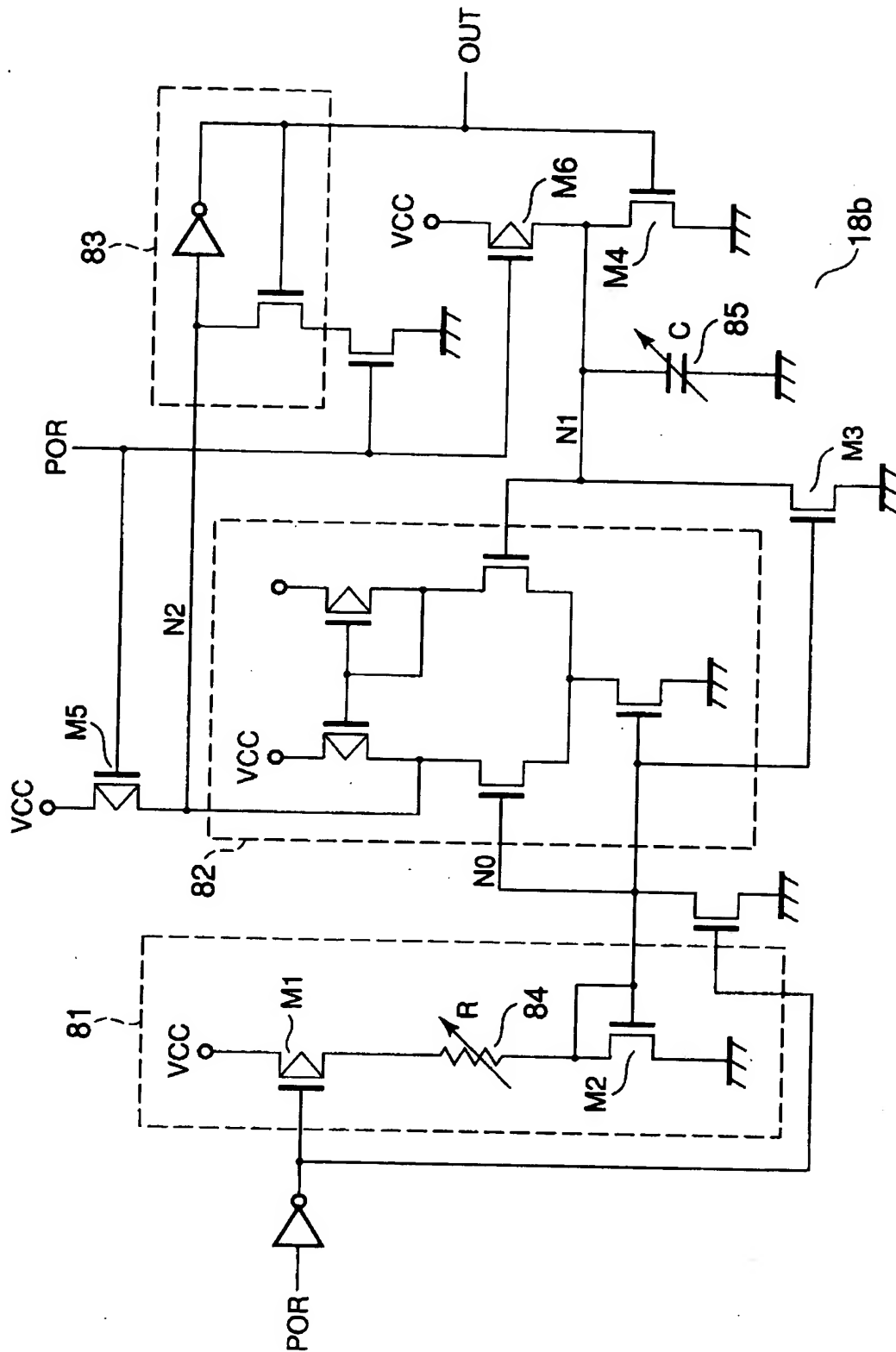
【図6】



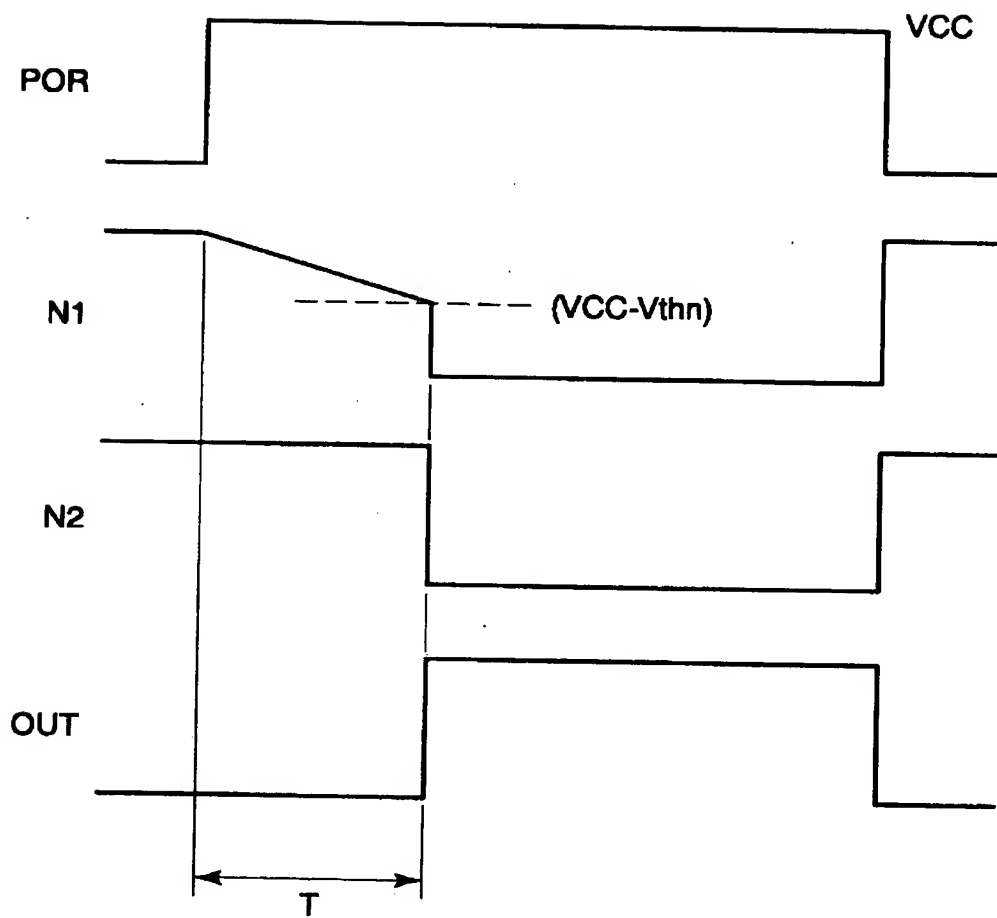
【図 7】



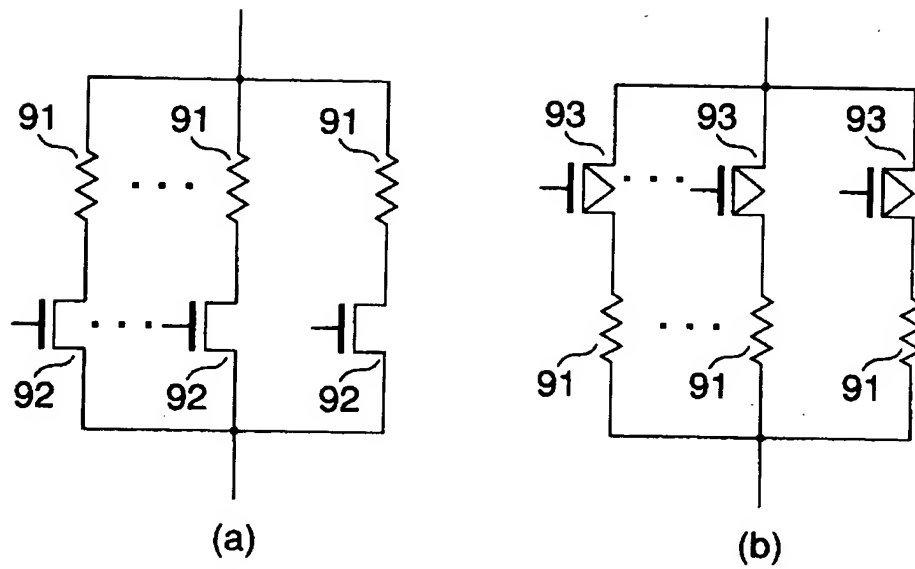
【図 8】



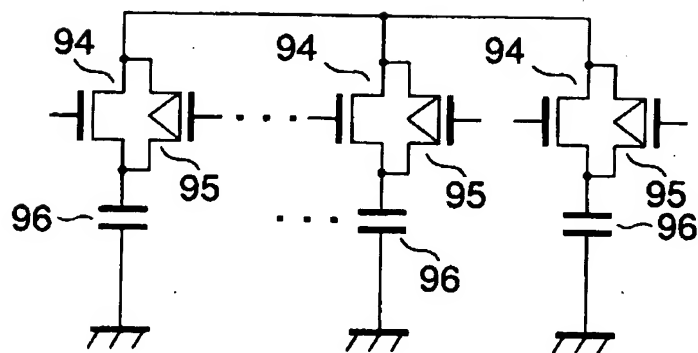
【図9】



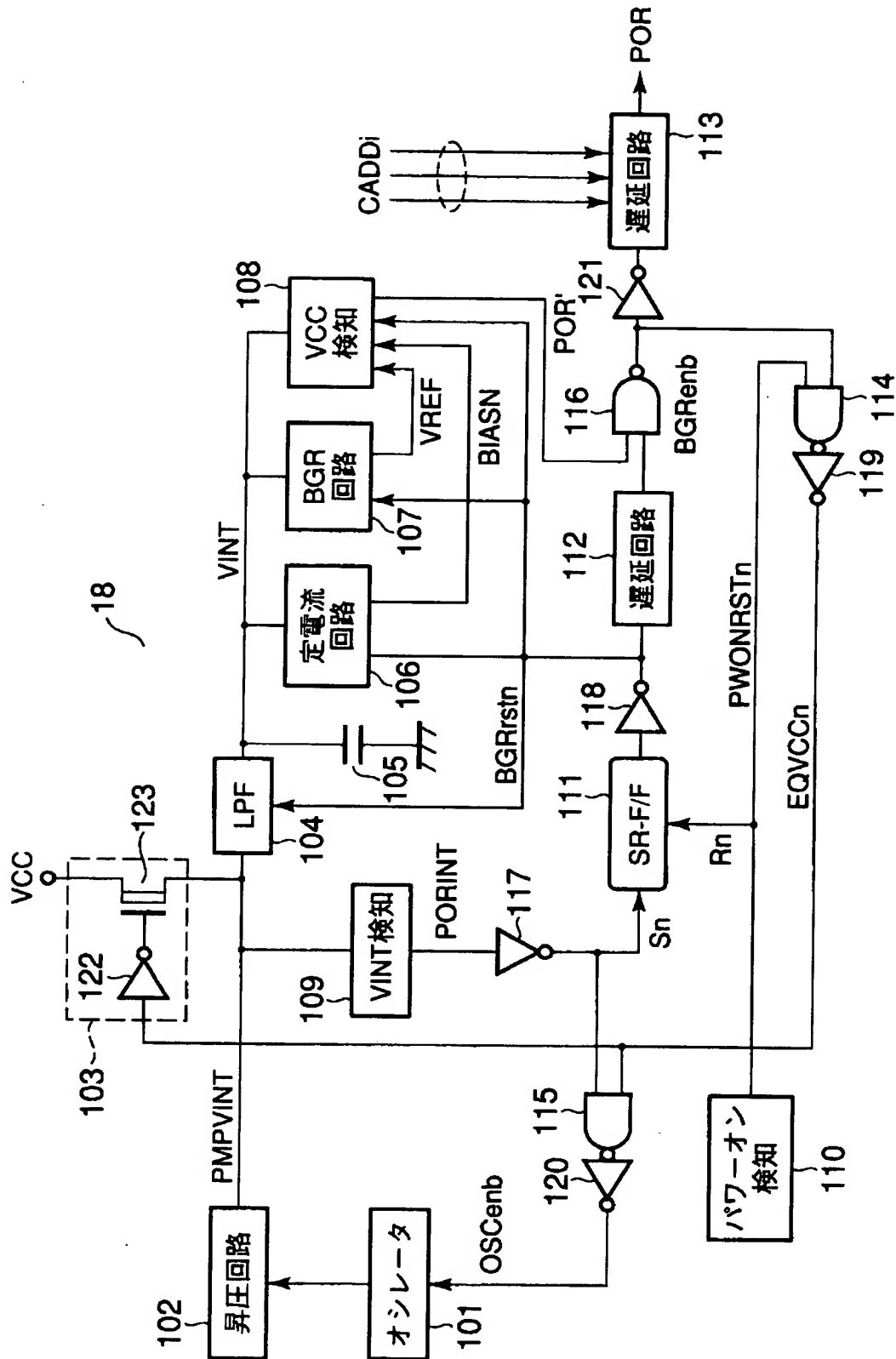
【図 10】



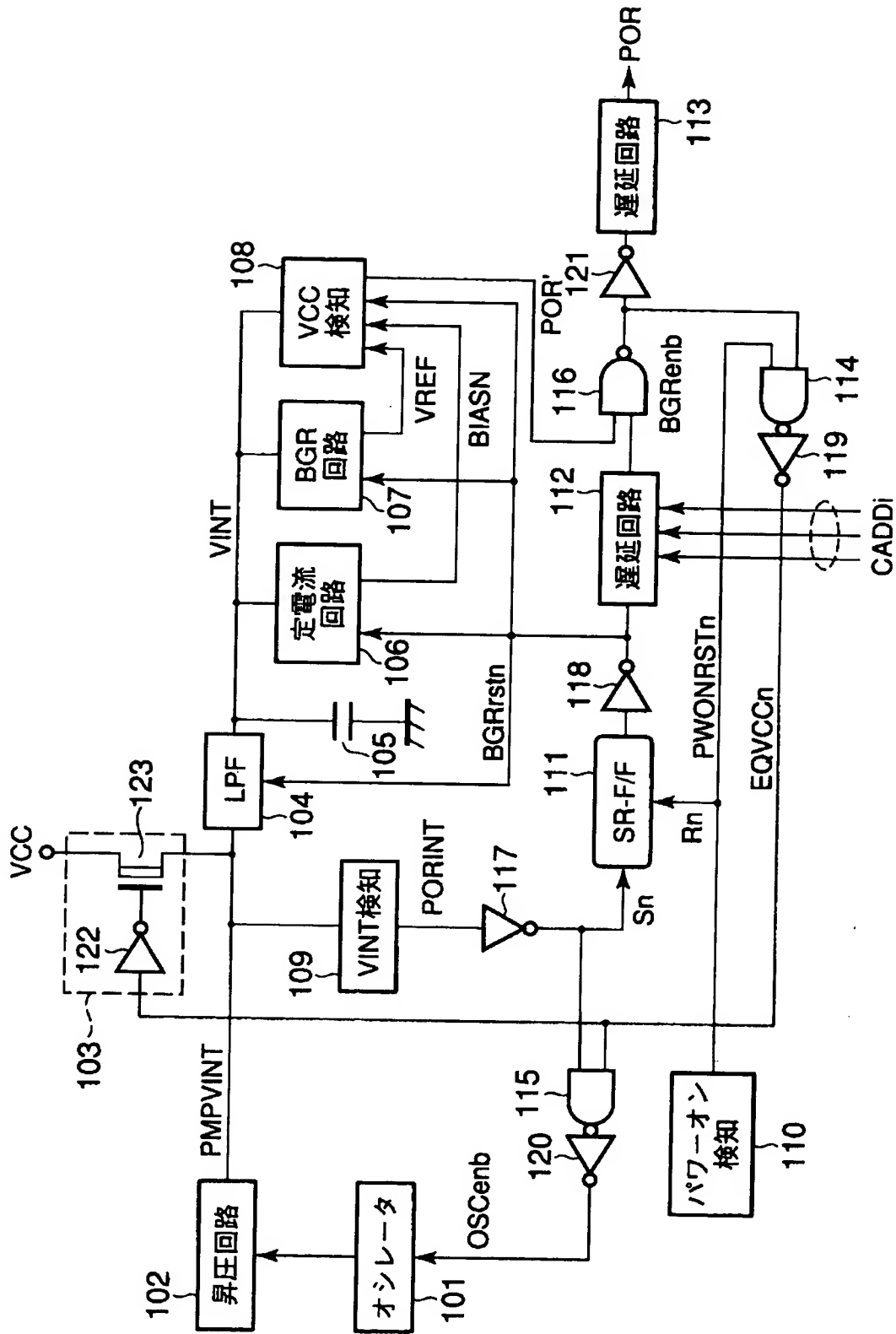
【図 11】



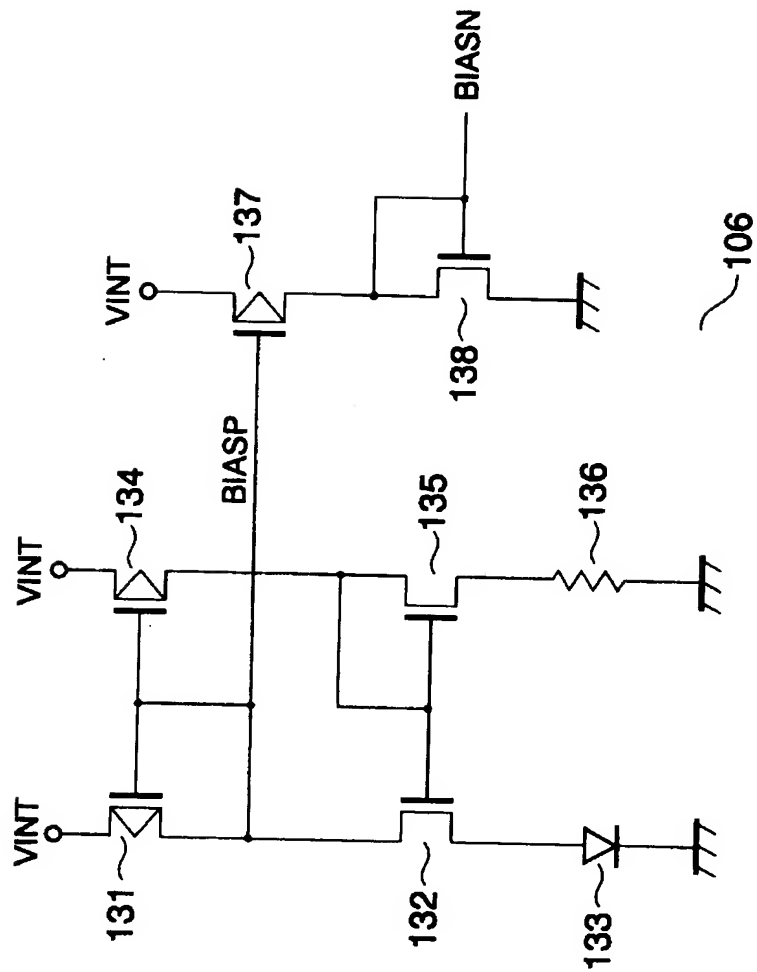
【图 1 2】



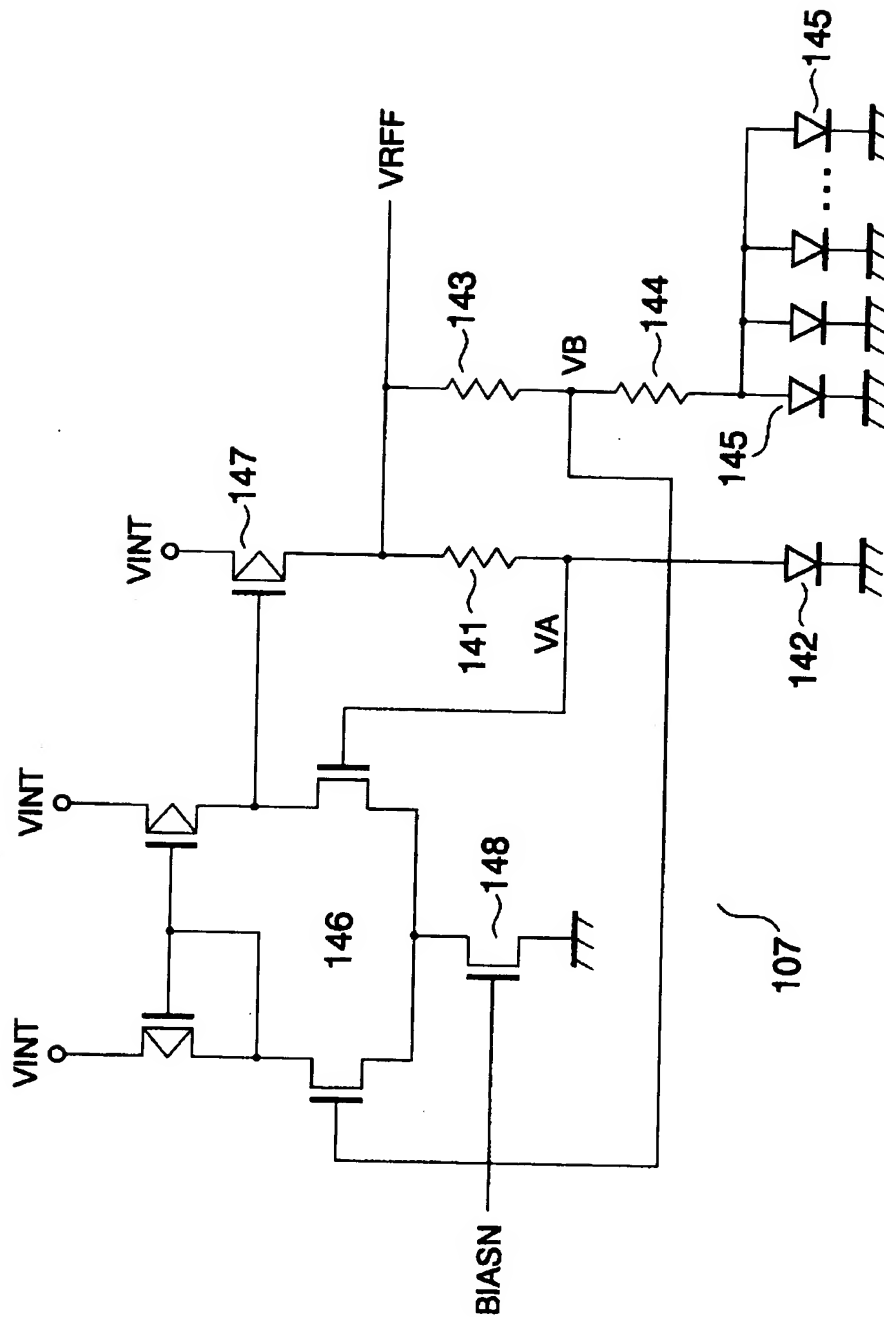
【図13】



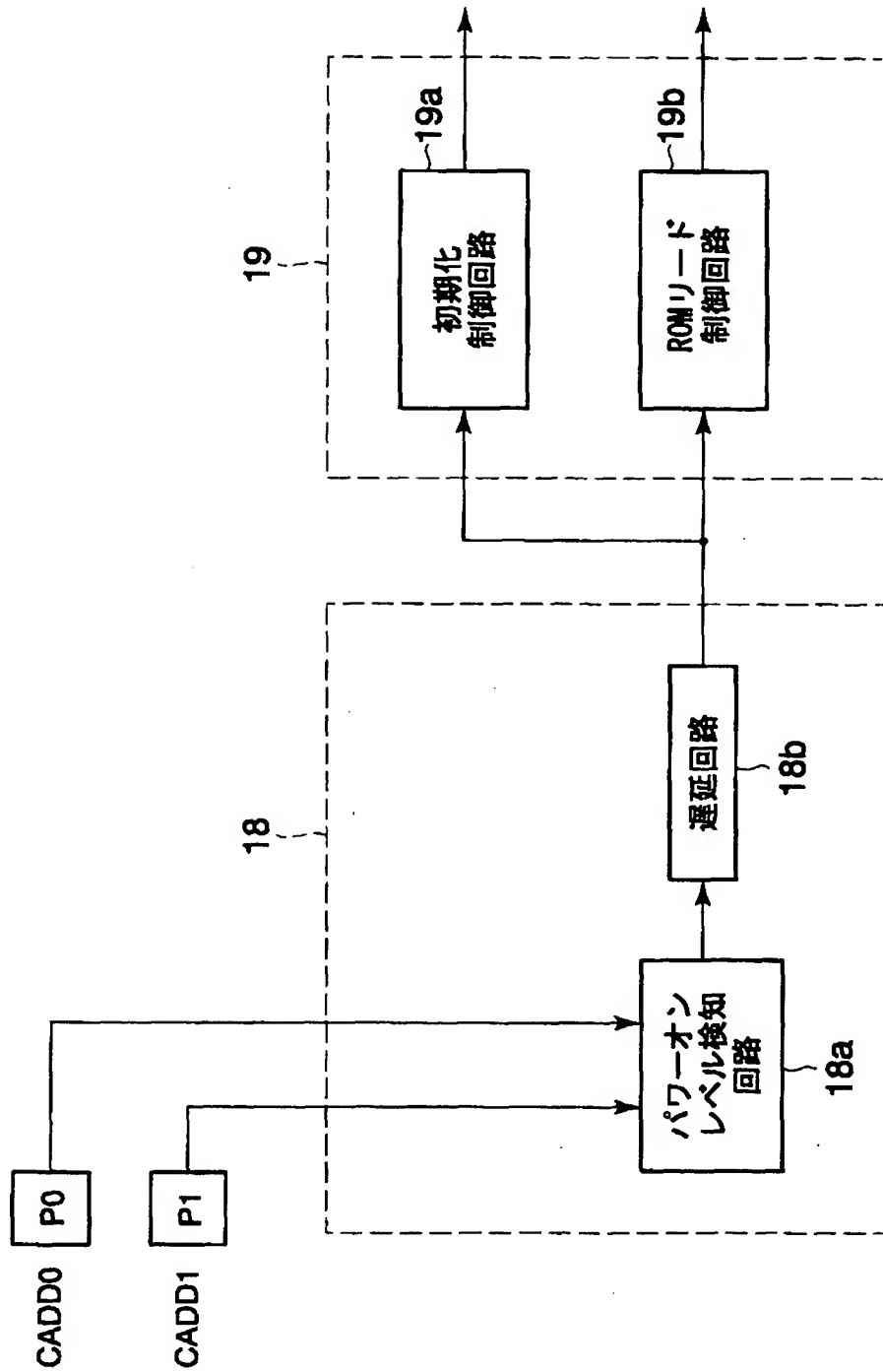
【図 14】



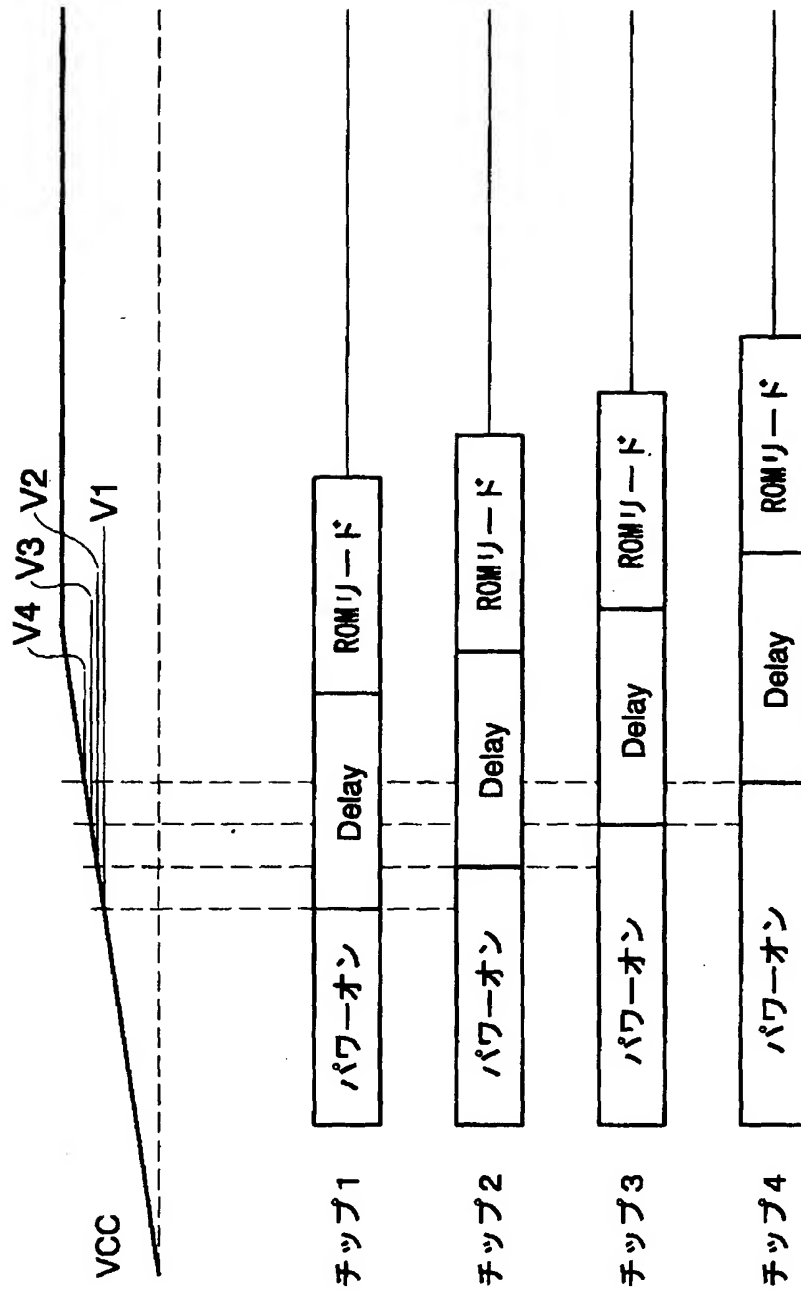
【図 15】



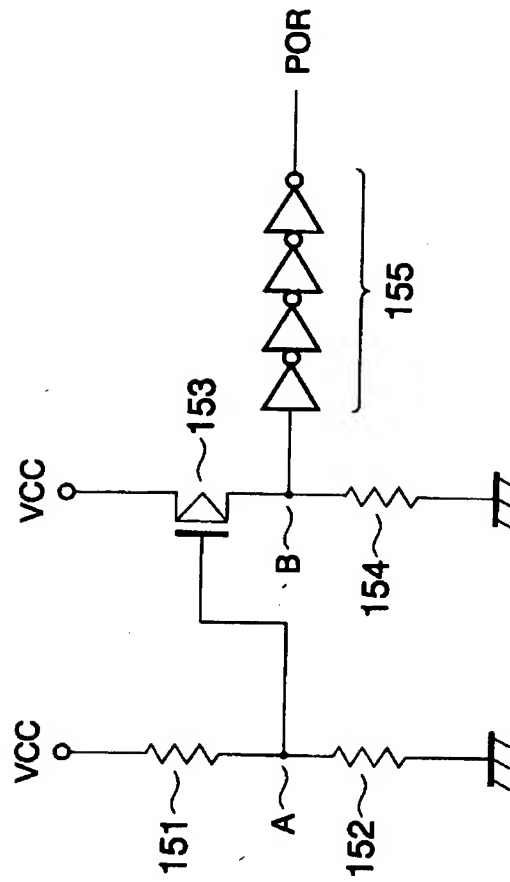
【図16】



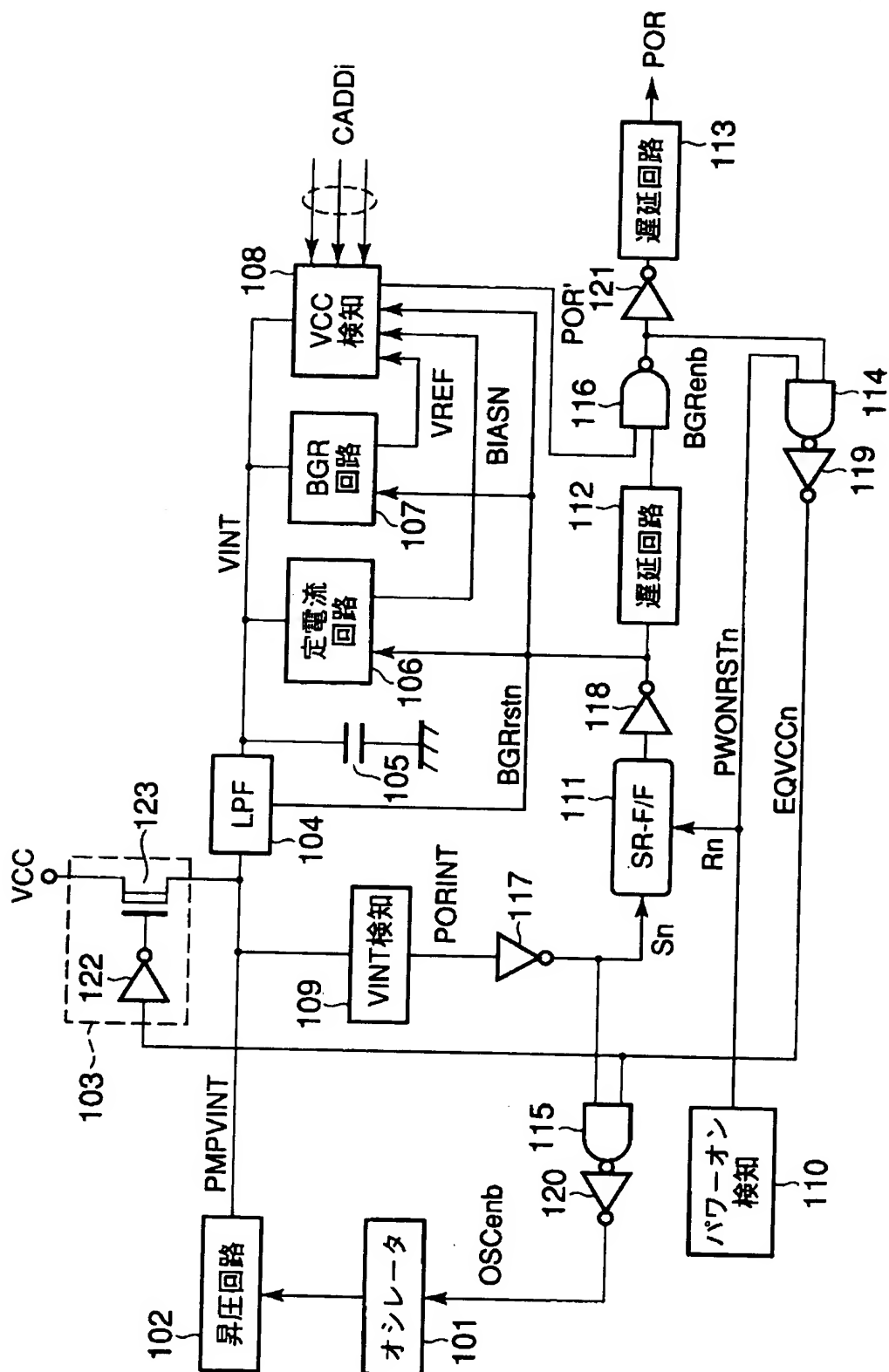
【図 17】



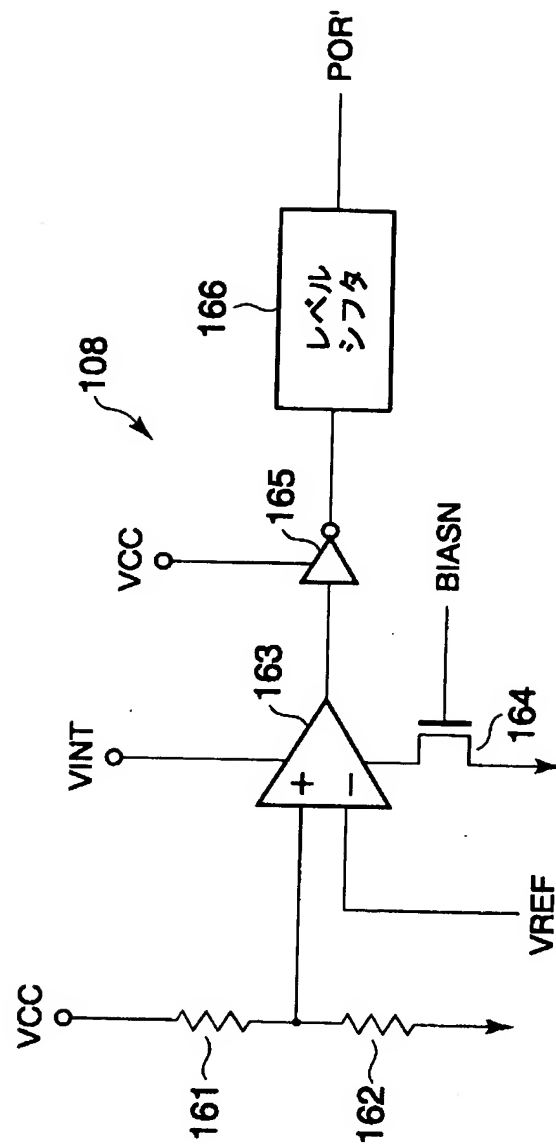
【図 18】



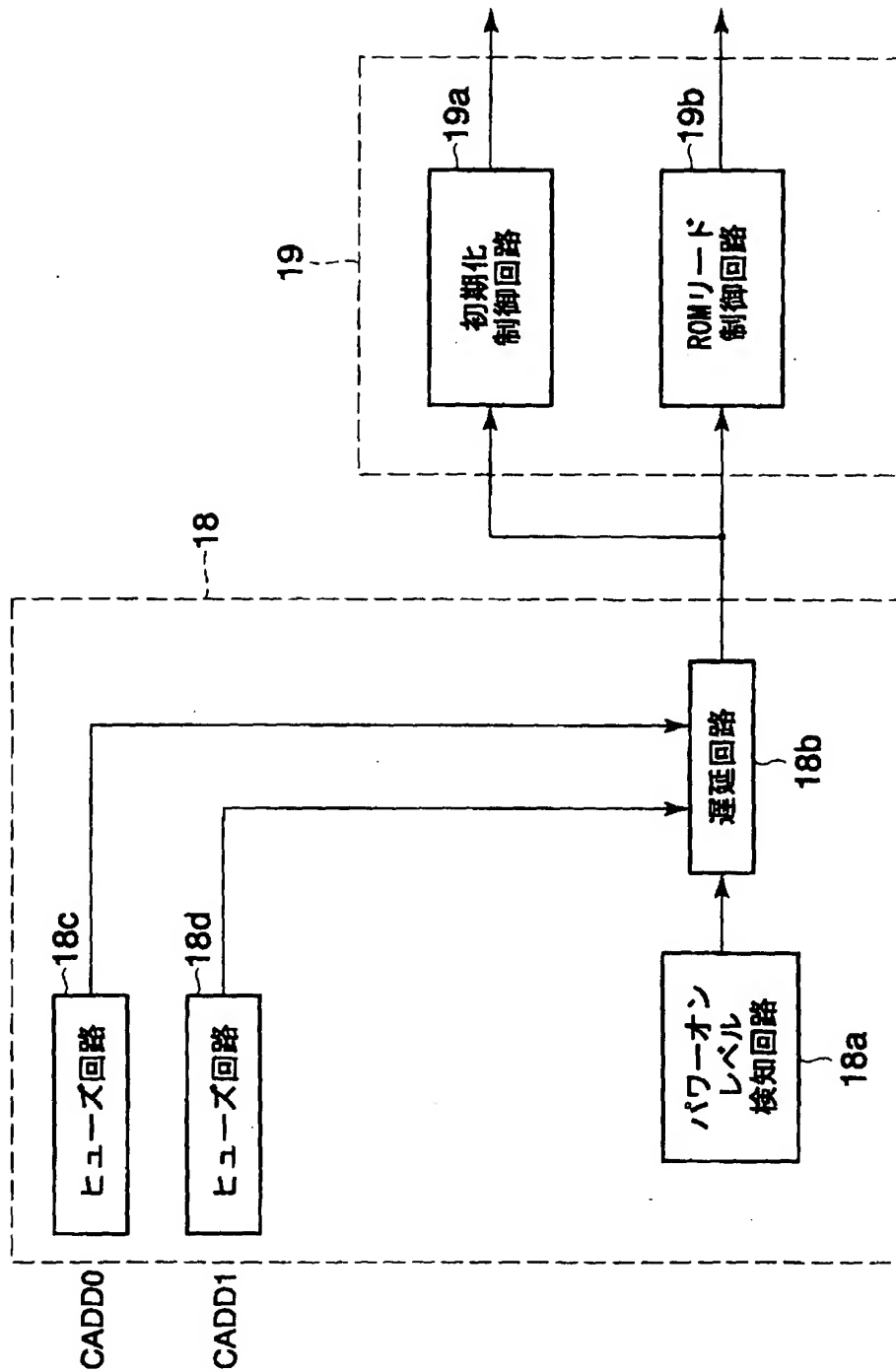
【图 19】



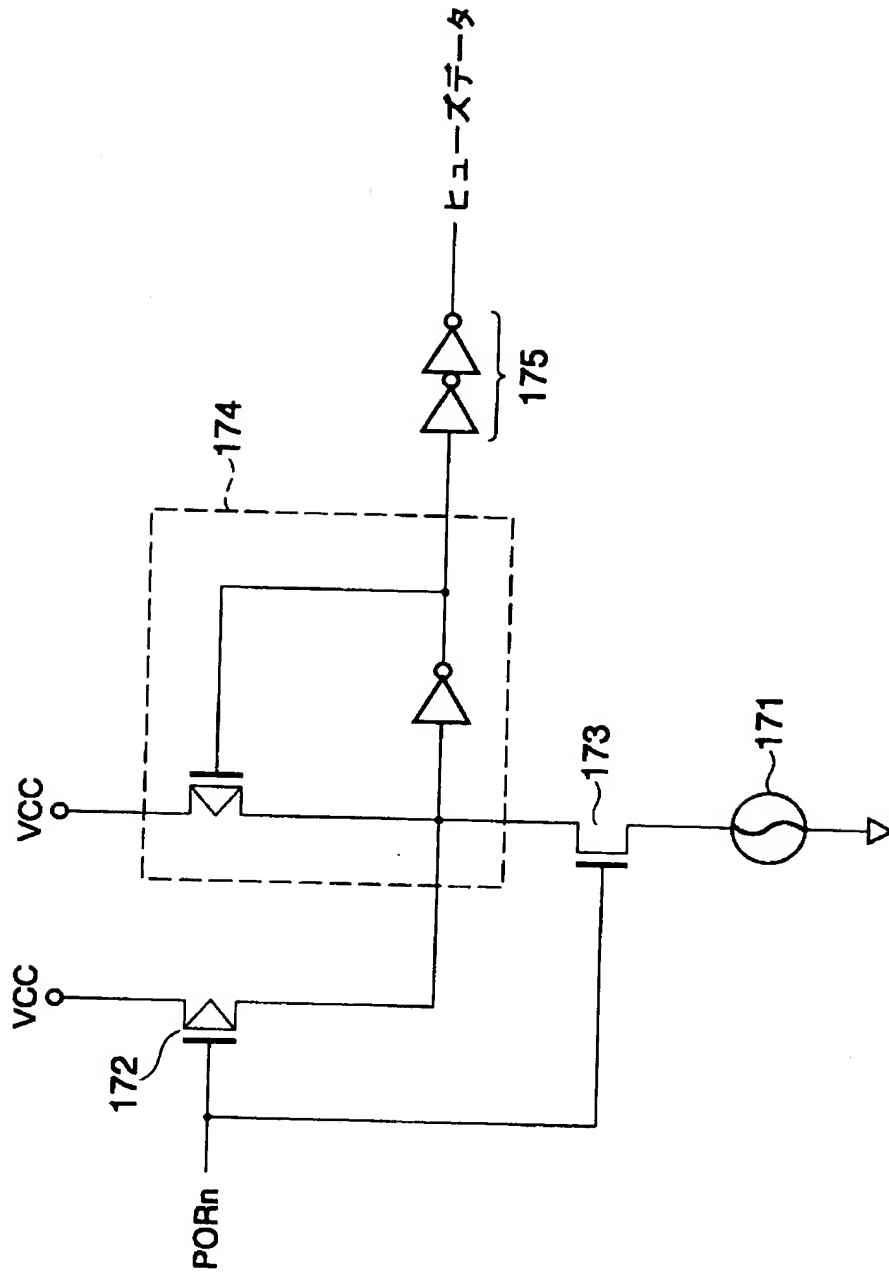
【図 20】



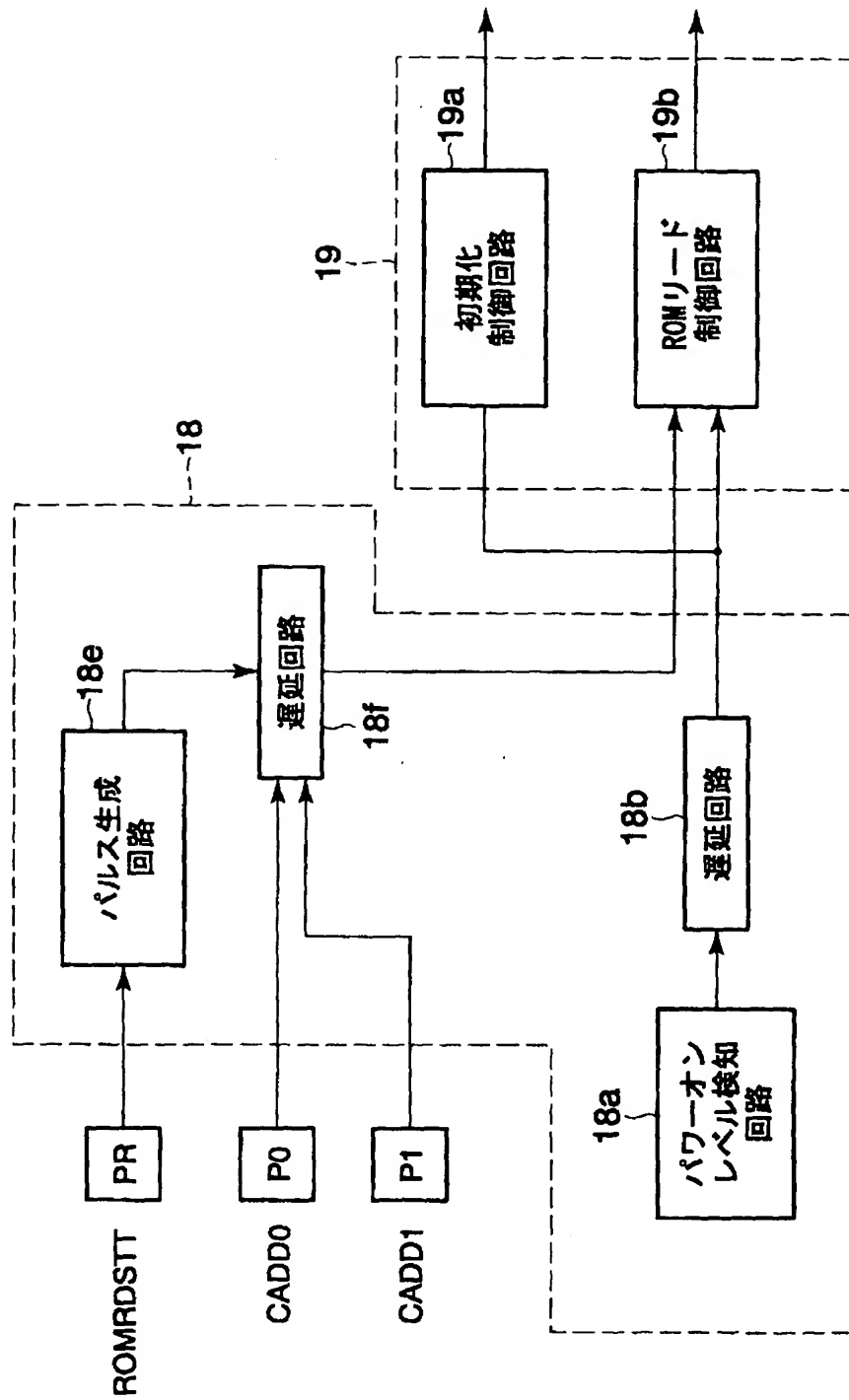
【図 21】



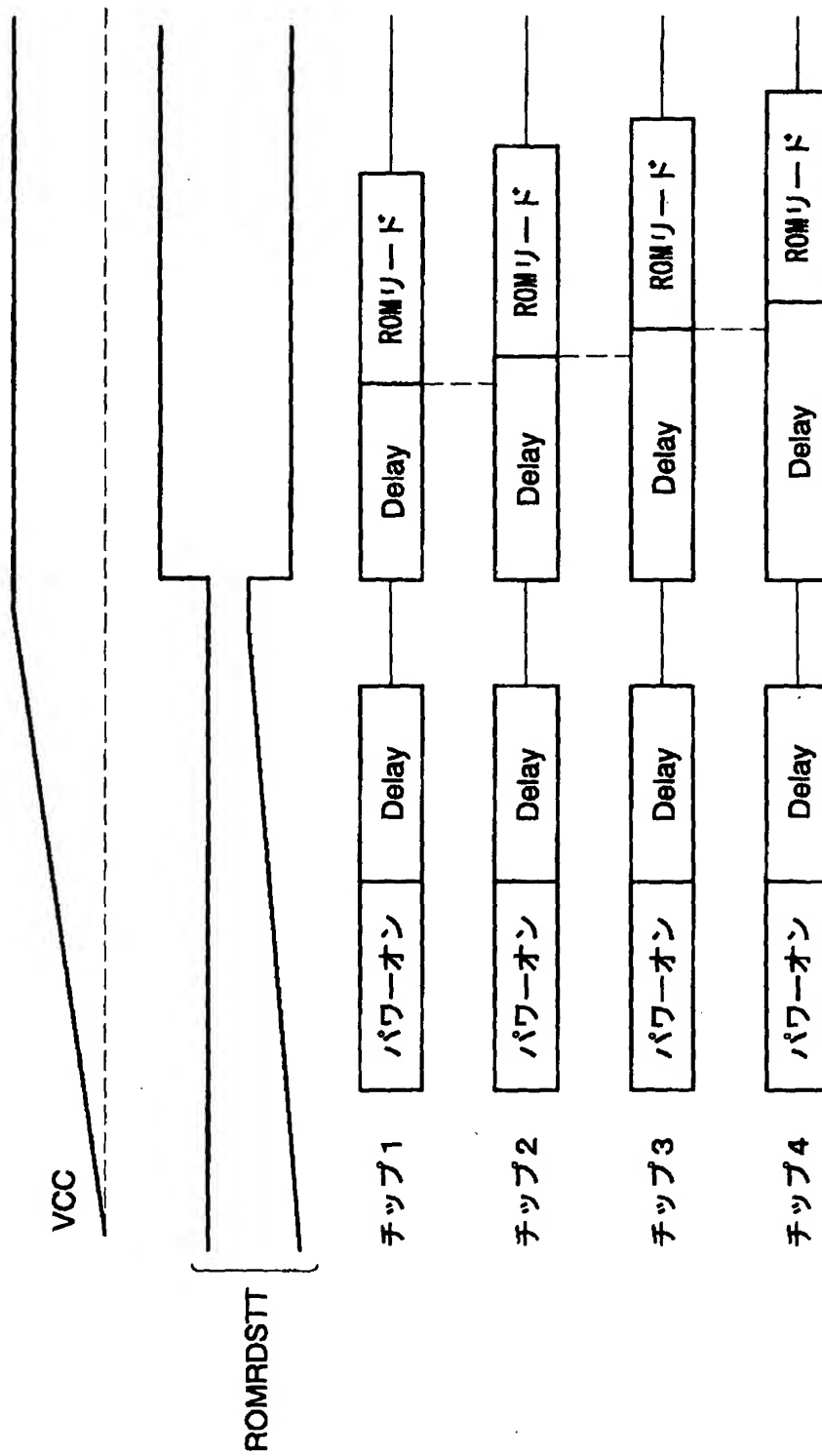
【図 22】



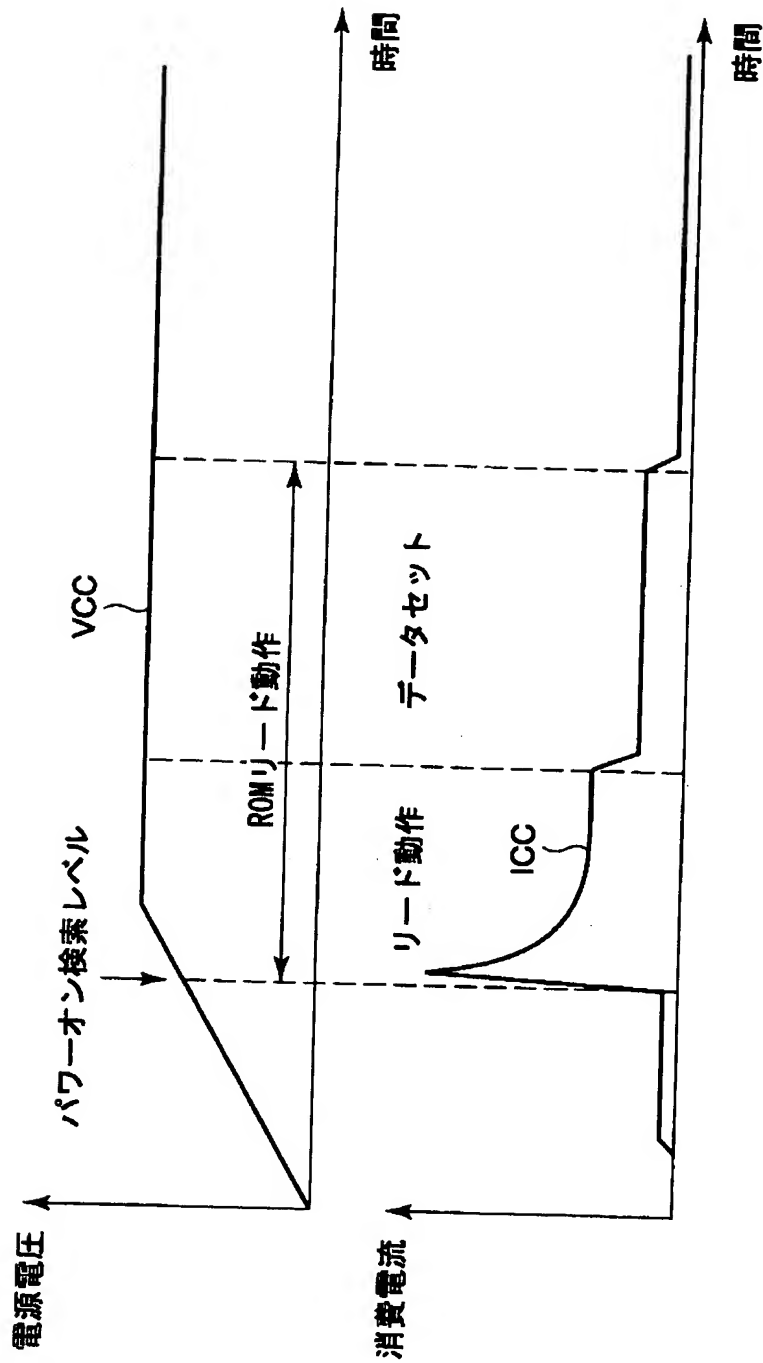
【図 23】



【図 24】



【図 25】



【書類名】 要約書

【要約】

【課題】 ROMリード動作を伴うメモリチップを複数個使用し、パワーオン時に複数個のメモリチップのROMリード動作の起動タイミングを異ならせる。

【解決手段】 パワーオンリセット回路 1 8 を、電源電圧を検知してパワーオンリセット信号を出力するパワーオンレベル検知回路 1 8 a と、パワーオンレベル検知回路 1 8 a から出力されるパワーオンリセット信号を遅延する遅延回路 1 8 b とから構成する。遅延回路 1 8 b にはチップアドレス指定用の 2 個のパッド P 0、P 1 が接続されており、遅延回路 1 8 b における遅延時間はこの 2 個のパッドに供給されるチップアドレス C A D D 0、C A D D 1 に応じて制御される。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝